



外部メモリアンタフェース (EMIF) デザイン・デバッグ ガイドライン

2018年12月

株式会社マクニカ アルティマ カンパニー

Rev 2.0

アジェンダ

- はじめに
- デザインフロー
- デバッグフロー
- Appendix
 - チェックリスト
 - パラメータの確認方法
 - Example Design の作成方法
 - EMIF ToolKit の使い方



はじめに

本資料の目的

- メモリインタフェースの高速化に伴い、データバリッドウインドウの縮小や信号品質の悪化が課題として挙げられる
- 仕様要求を満たすための検証やデバッグに費やす時間が増加傾向にあるため、適切な手順でデバイス・ボードの設計を行い、かつ、設計段階であらかじめデバッグするための手段を実装することが重要である
- 本資料はデザインフローとデバッグフローを示し、適切な手順で設計を行うことにより不具合混入を防ぐことと、デバッグに必要な仕組みを実装することにより速やかに問題を解決することを目的とする
- なお、本資料は Arria[®] 10 + DDR3, DDR4 を想定したものである
 - 一部の GUI 表示を除き、V シリーズにも適応可能

Summary

◆ デザインフロー全体を通した確認事項

※ EMIF (External Memory Interface) : DDR3/4 などの高速メモリを接続するための IF 回路



JTAG の実装をしたか (実運用状態で JTAG が見れるようにしておく)



メモリデータシートを基に正しいパラメータを入力したか



タイミングを満たしていることを確認したか



EMIF ToolKit で温度・電圧が変化してもマージンがあることを確認したか



◆ 電源関連の確認事項

VCC, VCCP, VCCERAM, VCCPT, VCCIO, VCCA_PLL の電圧を測定できるように設計したか



測定する電源は電圧調整できるよう設計したか



◆ 波形関連の確認事項

FPGA 側とメモリ側の各端子にできるだけ近い箇所に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が確認できるようにしたか



DQ/DQS グループごとに、DQS に対する DQ の Skew がワーストと2番目にワーストになる信号をオシロスコープで確認できるようにしたか



① : FPGA の入力 CLK と Global Reset

② : FPGA 内で PLL より生成された CLK

③ : メモリの入力 CLK ; ①~③をオシロスコープで測定できるように設計したか



オシロスコープで確認する信号を Via 観測できるようにしたか (スルーホール推奨)



最低 5G 帯域のアクティブプローブのオシロスコープで波形を確認する



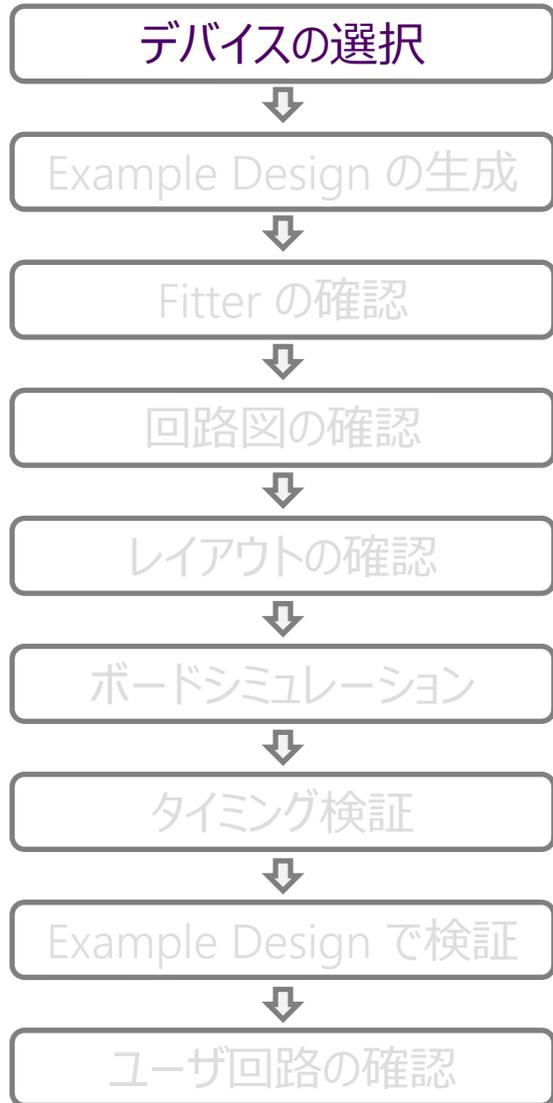


デザインフロー

デザインフロー

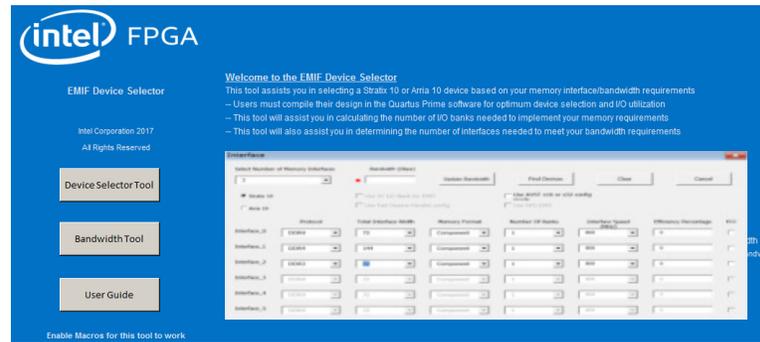


デザインフロー



● デバイスの選択

- 所望の EMIF の構成が実装できる FPGA を確認
 - ツール : EMIF Device Selector



○ 所望の動作周波数をサポートしている FPGA を確認

- 要求の動作周波数よりも、早いメモリデバイスを選択する必要がある場合があるので注意
 - 可能であれば Spec Estimator で推奨のものより1つ上のスピードグレードのデバイスを選択することを推奨
- ツール : EMIF Spec Estimator

EMIF Device Selector

https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2018/emif_device_selector.xlsm

EMIF Spec Estimator

<https://www.intel.com/support/support-resources/support-centers/external-memory-interfaces-support/emif.html>

デザインフロー



- Example Design の生成

- **正確にメモリパラメータを入力**
- メモリ構成を確認
- Example Design でシミュレーションを実施
- Example Design でフルコンパイルが完了
- Example Design でタイミング検証

- 本資料の Appendix 「DDR4 パラメータの確認方法」 ガイドラインを参照

Arria 10 Example Design Guideline

https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2017/Arria10_EMIF_Example_Design_Guidelines.pptx

Arria 10 Simulation Guideline

https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2017/Arria10_EMIF_Simulation_Guidelines.pptx

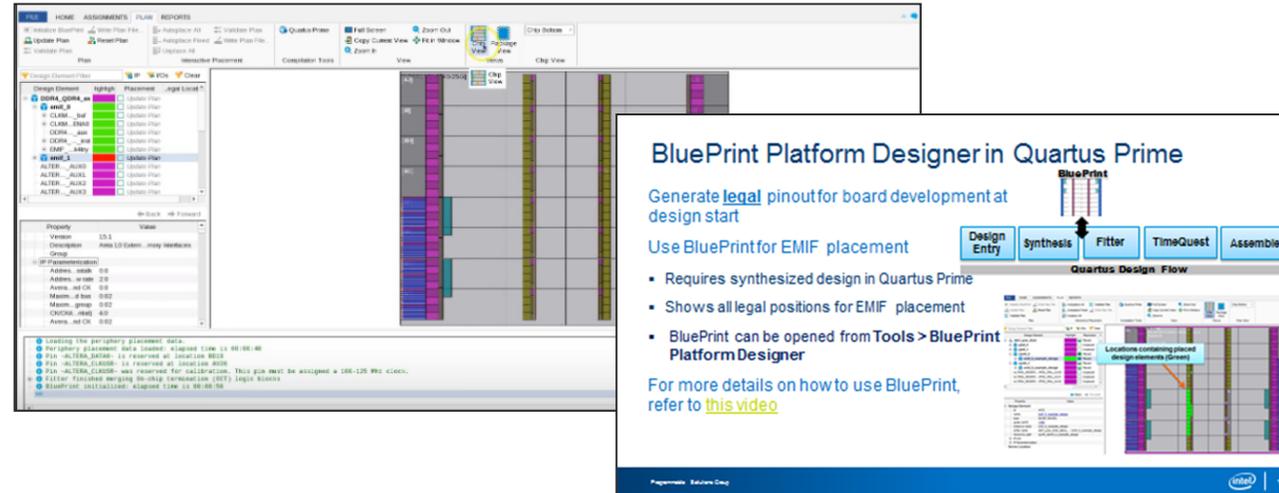
デザインフロー



● Fitter の確認

○ 全てのユーザ I/O ピンの配置を行いエラーがないか確認

- 特別な理由がない限り、EMIF 配置バンクに他のユーザ I/O を割り当てないことを推奨
- Interface Planner (旧 Blueprint Platform Designer)



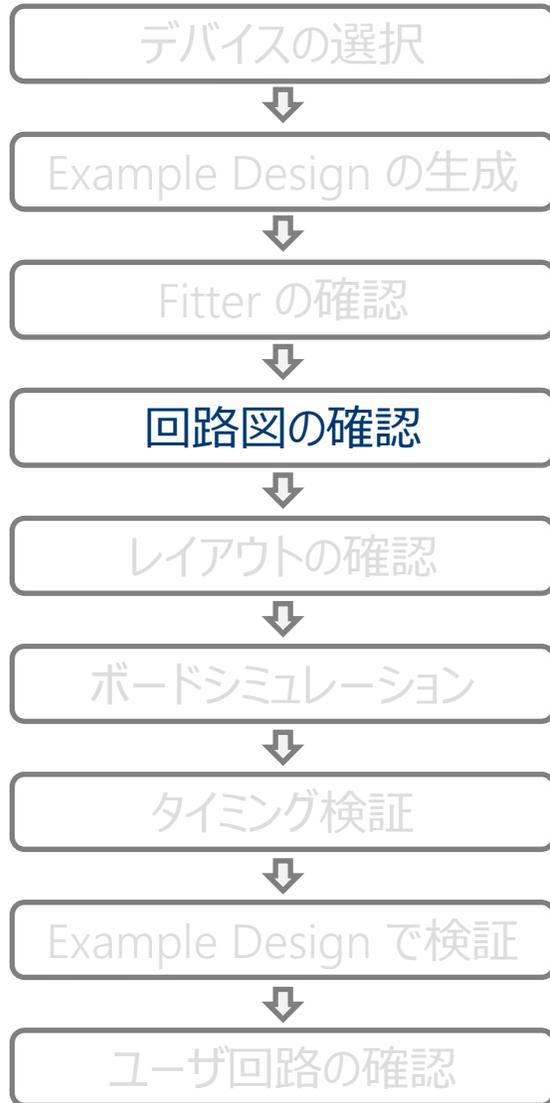
Arria 10 Pin Guidelines

https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2017/Arria10_EMIF_Pin_Guidelines.pptx

Blueprint for EMIF Video

<https://www.youtube.com/watch?v=oZ9HCPZsabU>
https://youtu.be/rzSlx805F_U

デザインフロー



● 回路図の確認 1/3

- EMIF Handbook/Schematic Review Worksheets のガイドラインに準拠する
 - **JTAG を実装する (実運用状態で JTAG が見れるようにする)**
- デバイスやメモリの種類ごとに処理方法が変わるので注意する (回路図の流用時は特に注意する)
 - Clock は CLK 専用ピンへのアサインが必須
 - Add/Cmd (CKE) の終端処理
 - Arria® 10 ではフライバイのトポロジで VTT にプルアップ
 - RZQ の抵抗値
 - フライバイ終端とバランスド配線のデバイス対応の確認
 - 終端処理の方法が曖昧な場合は 0Ω 抵抗で、プルアップ/プルダウン可能な状態にしておく

EMIF Handbook vol2 : Design Guidelines

<https://www.intel.com/documentation/hco1416492180052.html#hco1416490786092>

"Pin Connection Guidelines Tables", "Board Design Guidelines", "Recommended Termination Schemes"

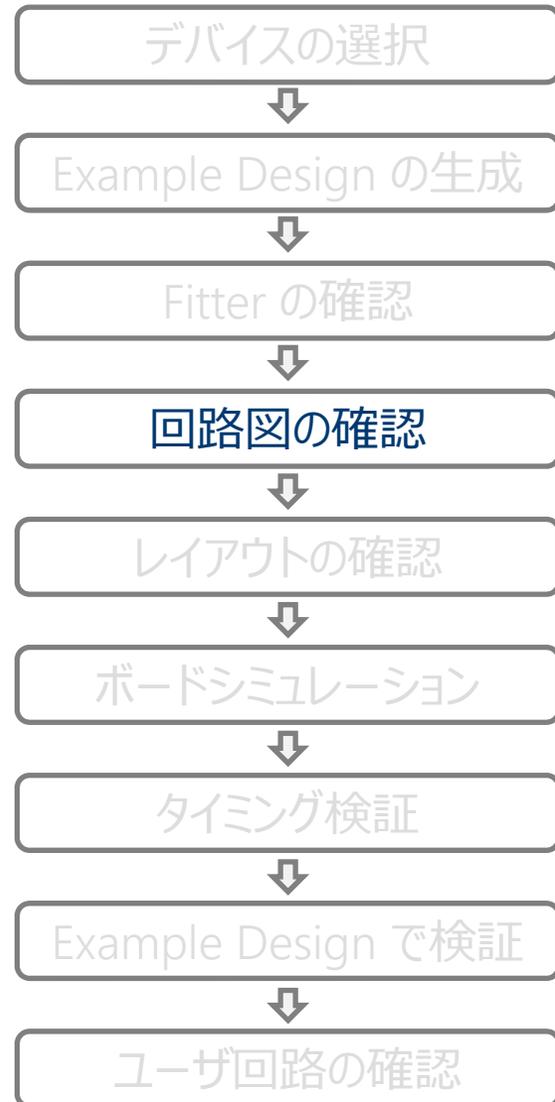
Device Schematic Review Worksheets

<https://www.intel.com/support/support-resources/download/board-layout-test/schematic-review-ws.html>

Pin Connection Guidelines

https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/dp/arria-10/pcg-01017.pdf

デザインフロー



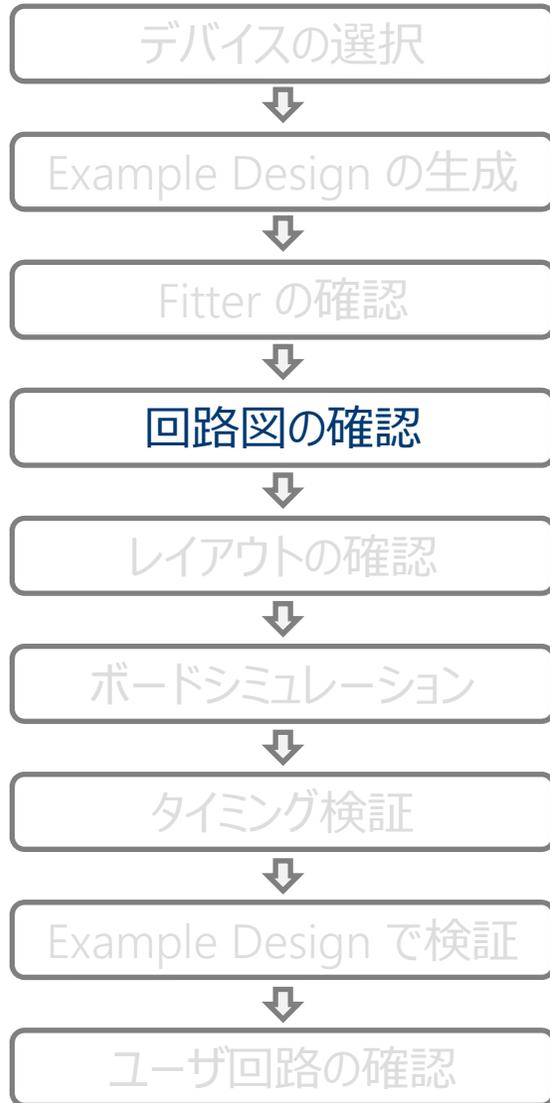
● 回路図の確認 2/3

○ 電源電圧を確認できるように設計

- VCC, VCCP, VCCERAM, VCCPT, VCCIO, VCCA_PLL, VTT (VCCL_HPS, VCCIO_HPS, VCCIOREF_HPS, VCCPLL_HPS) の電圧を測定できるように設計
 - FPGA 直下の電源ピン (VIA でのスルーホール)
- これらの電源を電圧調整できるように設計
- PM バス付きの電源を使用
- 動作中に電圧許容範囲内であることを確認

	DDR	DDR2	DDR3	DDR4
クロック周波数 [MHz]	100/133/166/200	200/266/333/400	400/533/667/800/933/1066	1066/1200/1333
電源電圧[V]	2.5	1.8	1.5	1.2

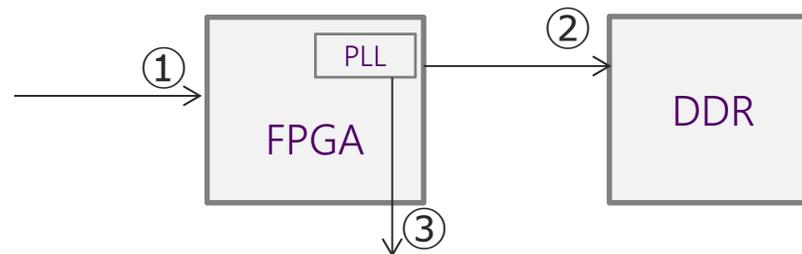
デザインフロー



● 回路図の確認 3/3

○ 各種信号をオシロスコープで確認できるよう設計

- FPGA 側とメモリ側の各端子の直近に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が確認できるようにする
 - DQ/DQS グループごとに、DQS に対する DQ の Skew がワーストの信号を確認できるようにする
 - DQ/DQS グループごとに、DQS に対する DQ の Skew が2番目にワーストになる信号を確認できるようにする
 - VIA でのスルーホール
- 重要なクロック信号は 下記 ①～③で測定できるように設計
 - ① : FPGA の入力 CLK と Global Reset
 - ② : メモリの入力 CLK (メモリ近端)
 - ③ : FPGA 内で PLL より生成された CLK



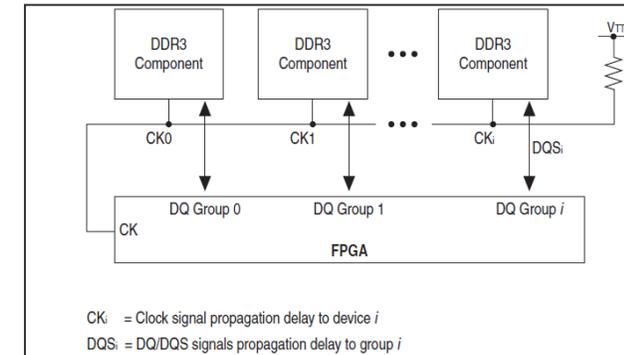
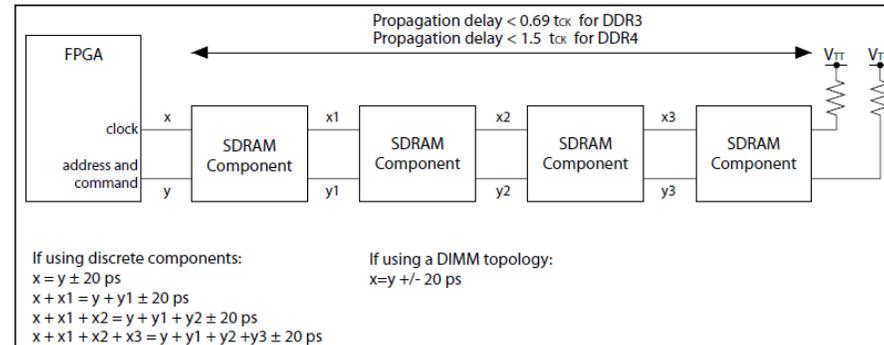
デザインフロー



● レイアウトの確認

○ Handbook に記載のガイドラインに準拠

- Ex1. : Add/Command は mem_clk と比較し ± 20 ps に収める
- Ex2. : 伝送遅延は DQ より CK の方が長くなければいけない
 - $(CK_i) - DQS_i > 0$; $0 < i < \text{number of components} - 1$
- 可能な限りレイアウトガイドラインよりマージンをもって設計することを推奨



Arria 10 Board Guidelines

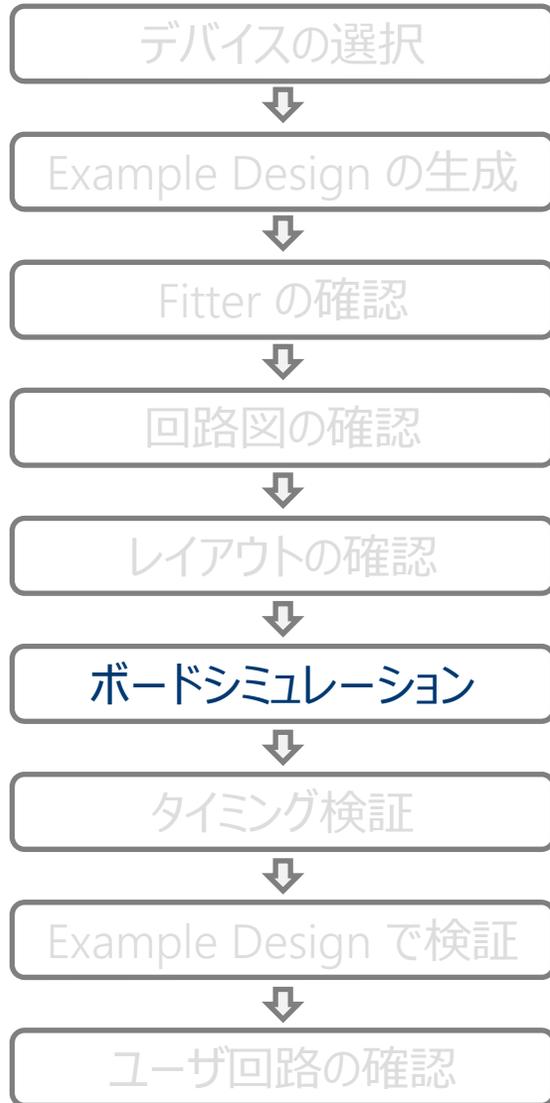
https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2017/Arria10_EMIF_Board_Guidelines.pptx

EMIF Handbook vol2 : Design Guidelines

<https://www.intel.com/documentation/hco1416492180052.html#hco1416491092931>

"Design Layout Guidelines"

デザインフロー



● ボードシミュレーション

○ 信号品質の確認

- Channel Simulation Guidelines を参照しメモリ関連の信号波形が規定値に収まっていることを確認

○ Board Skew Parameter を計算

- Board Skew 値の計算、入力は必須
 - Board Skew Parameter Tool に基板情報を入力し計算
- Channel Signal Integrity の評価/計算 はオプション
 - 信号品質に問題がなくシンプルなデザイン (チップセレクト1本) の場合は設定不要：デフォルト推奨
 - 上記に当てはまらない場合はガイドラインに従い評価し、入力方法を決定すること

Arria 10 EMIF Simulation Guidelines

https://fpgawiki.intel.com/wiki/Arria_10_EMIF_Simulation_Guidance

Board Skew Parameter Tool

<https://www.intel.com/solutions/technology/memory/estimator/board-Skew.html>

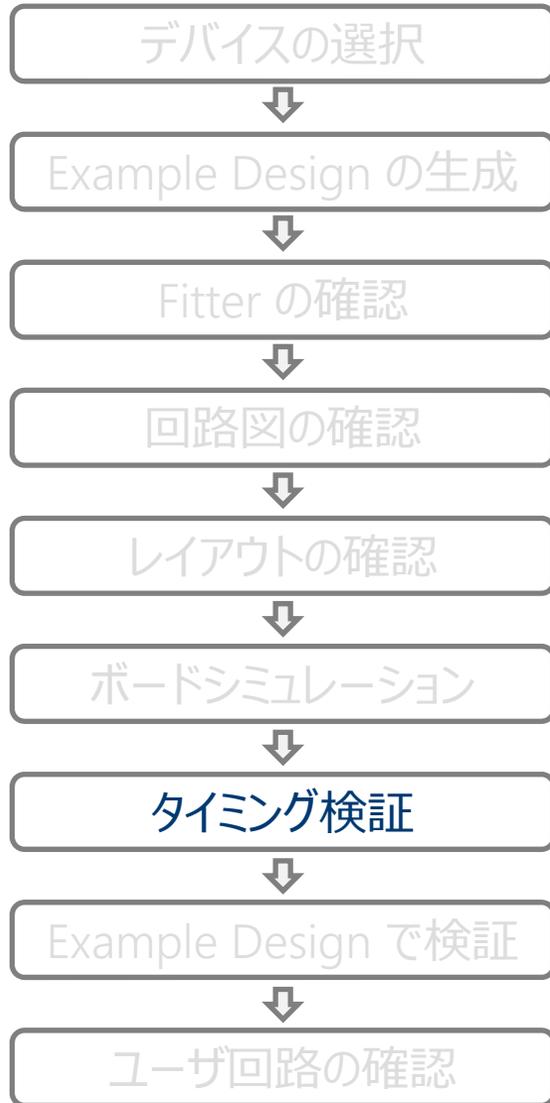
Channel Loss Calculation Tool

https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2017/Channel_Loss_Calculation_Tool.xlsm

IBIS ファイルの作成方法

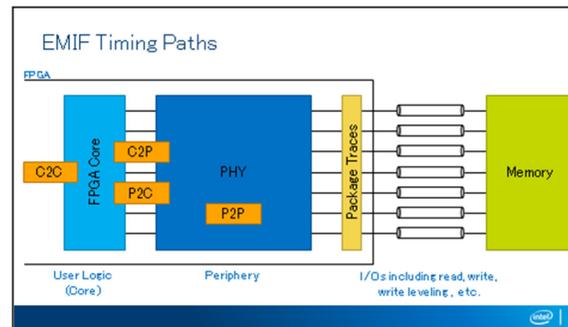
<https://www.alt.macnica.co.jp/library/294/>

デザインフロー



● タイミング検証

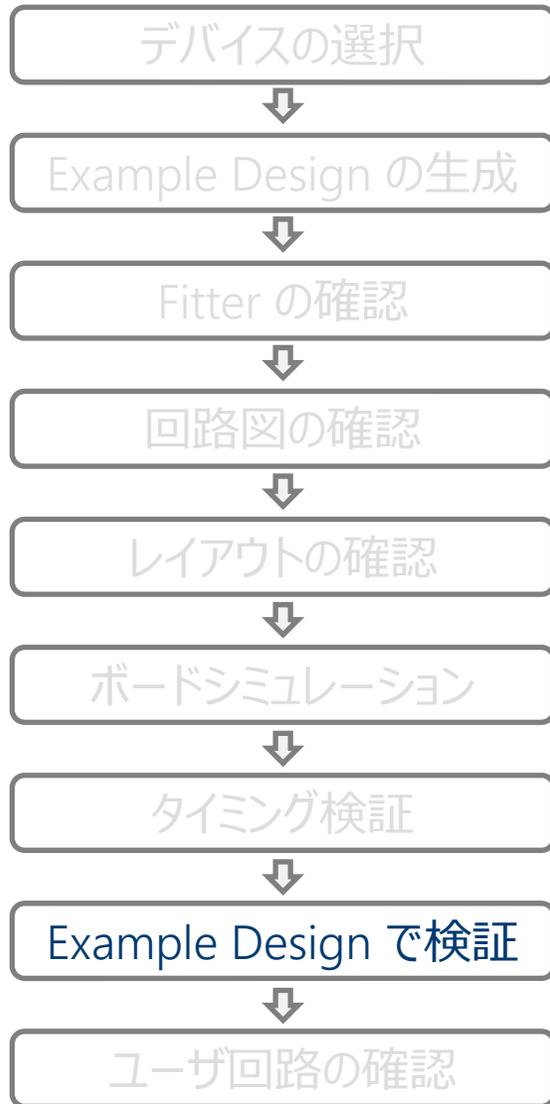
- 正しいメモリパラメータになっていることを再確認
- 設定した周波数と実際の周波数が同じことを確認
- SDC ファイルをツールに登録する順番を確認
 - プロジェクトに追加するファイルの順番はユーザ SDC を最後に登録
 - メモリ関連の制約を二重にかけていないか確認
 - 必要なパスを False 設定していないか確認
 - EMIF IP 内のパスは False 設定禁止
- Quartus® Prime でタイミングを満たしていることを確認



EMIF Timing Closure Guidelines

https://www.intel.com/content/dam/altera-www/global/en_US/support/knowledge-center/emif/2017/Arria10_EMIF_Timing_Closure_Guidelines.pptx

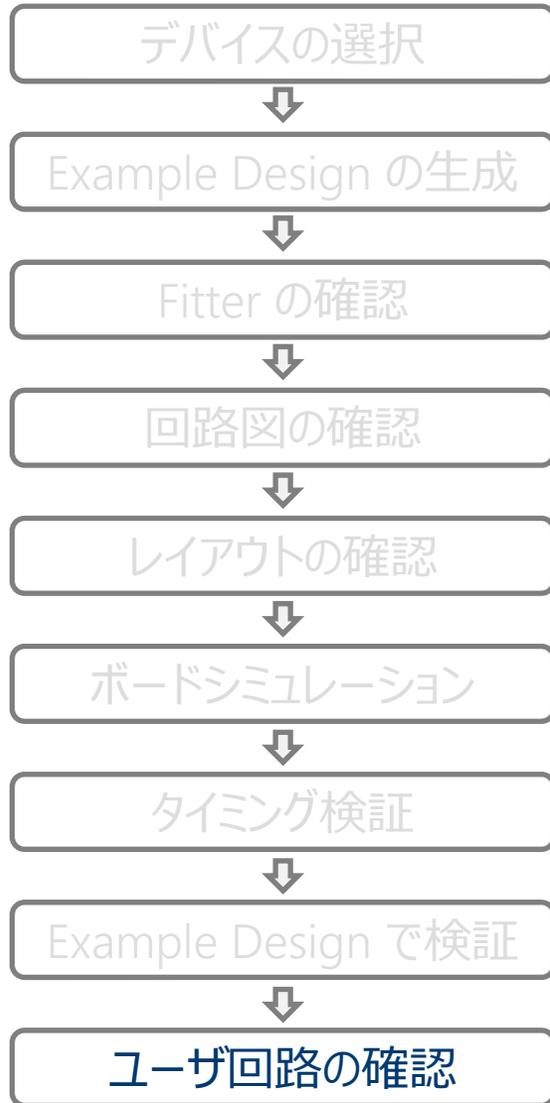
デザインフロー



- Example Design で検証
 - 温度・電圧変動によるタイミングマージンの確認
 - EMIF ToolKit を使って検証
 - EMIF ToolKit でキャリブレーションが失敗 (Fail) した場合
 - [P24 : Debug in EMIF ToolKit](#) で確認
 - 信号品質を確認
 - Add/Cmd, DQ/DQS
 - FPGA の入力 CLK と Global Reset
 - メモリの入力 CLK
 - VCC, VCCP, VCCERAM, VCCPT, VCCIO, VCCA_PLL, VTT (VCCL_HPS, VCCIO_HPS, VCCIOREF_HPS, VCCPLL_HPS)
 - Signal Tap 波形の確認
 - local_cal_success の High を確認
 - キャリブレーション成功の確認
 - traffic_gen_pass の High を確認
 - リードライトテスト成功の確認
- 本資料の Appendix 「[EMIF Toolkit の使い方](#)」を参照



デザインフロー



● ユーザ回路の確認

- キャリブレーション失敗時に自動で再キャリブレーションする回路を実装しておく
- メモリデータを初期化したい場合、ユーザ回路で初期化する
 - EMIF のキャリブレーションはメモリデータを初期化しない
- Signal Tap 波形を確認
 - local_cal_success の High を確認

EMIF Handbook vol2 : Design Guidelines

<https://www.intel.com/documentation/hco1416492180052.html#hco1416492050903>

"Bank Management Efficiency"

<https://www.intel.com/documentation/hco1416492180052.html#hco1416491964055>

"Verifying Memory IP Using the Signal Tap II Logic Analyzer"

EMIF Handbook vol3 : Reference Material

<https://www.intel.com/documentation/hco1416493470528.html#hco1416492588699>

"Timing Diagrams for UniPHY IP"



ALTIMA

A **Macnica** Division Company

デバッグフロー

デバッグフロー

デザインフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザ回路の確認



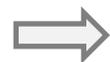
動作周波数がスペック範囲内か?



電源は許容電圧範囲内か?



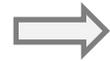
RefCLK/Reset の波形は規定内か?



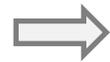
メモリ関連の信号波形は規定内か?



ガイドラインの準拠通り処理をしたか?



タイミングを満たしているか?



Example Design で Pass するか?



プロトコル通りのアクセスか?

デザインフロー

デバイスの選択



Example Design の生成



Fitter の確認



回路図の確認



レイアウトの確認



ボードシミュレーション



タイミング検証



Example Design で検証



ユーザ回路の確認



デバッグフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザ回路の確認

最低 5G 帯域のオシロスコープで波形を確認 必ずアクティブプローブを使用

- 電源の確認 ([p12](#) 参考)
 - 動作中のVCC, VCCP, VCCERAM, VCCPT, VCCIO, VCCA_PLL, VTT (VCCL_HPS, VCCIO_HPS, VCCIOREF_HPS, VCCPLL_HPS) の電圧を測定
 - 動作条件内に収まっているか
 - オシロの積算モードで確認
 - オシロのトリガ・モードで電圧の上限値と下限値を確認
 - 電源電圧を変更
 - 動作条件の上限値、下限値で確認
- クロック、リセット信号の確認 ([p13](#) 参考)
 - FPGA への入力クロックとグローバルリセット
 - (FPGA から) メモリへの入力クロック (メモリ近端)
 - (FPGA 内で) PLL より生成されたクロック
 - 設定した周波数のクロックが出力されているかどうかテストピンに出力して確認

デバッグフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザ回路の確認

最低 5G 帯域のオシロスコープで波形を確認 必ずアクティブプローブを使用

- 信号品質の確認 (p13, P15 参考)
 - DQ/DQS, Add/Cmd の波形を確認
 - ボードシミュレーション結果と同じ波形か
 - マージンが取れているか

External Memory Interfaces Support Center

<https://www.intel.com/support/support-resources/support-centers/external-memory-interfaces-support.html>

"Debug"

デバッグフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザ回路の確認

- キャリブレーション (Calibration) が失敗 (Fail) した場合
 - Fail する Calibration Stage を確認 (次項)
 - Calibration Report を取得しレポートを確認
 - 再キャリブレーションを実施し再現性を確認
 - 複数基板を使った再現性の確認
 - 最新の Quartus® Prime を使用して確認
 - メモリを張り替える (優先順位 : 低)
 - Stage ごとの確認事項でも原因が特定できない場合
⇒ [P20 : デバッグフロー](#) に戻ってデバッグを進める

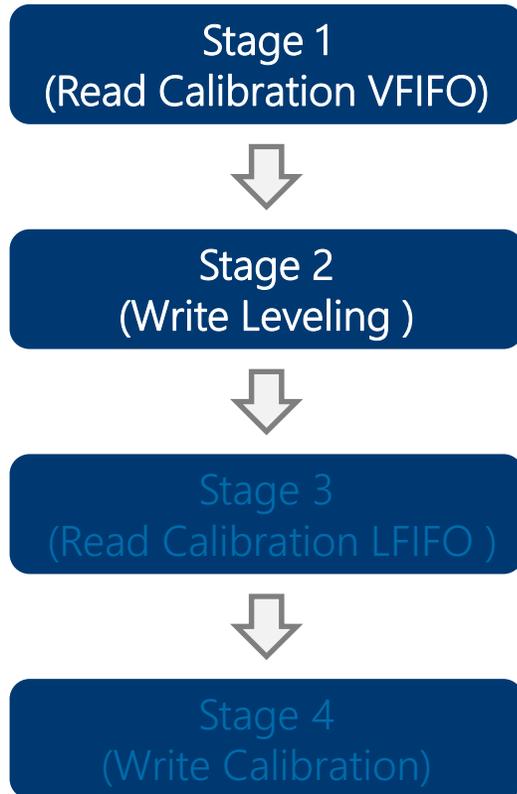
External Memory Interfaces Support Center

<https://www.intel.com/support/support-resources/support-centers/external-memory-interfaces-support.html>
"Debug"

EMIF Handbook Vol2 : Design Guidelines

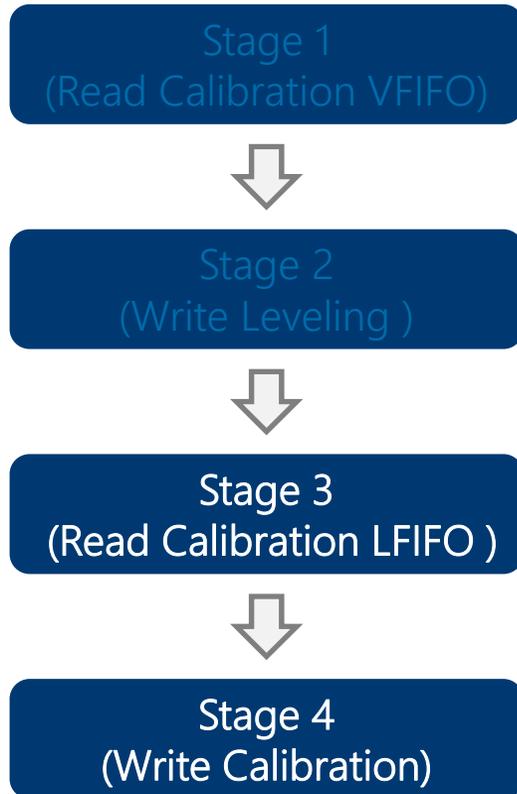
<https://www.intel.com/documentation/hco1416492180052.html#hco1416491924305>
"Debugging Memory IP"

Calibration Stage



- Calibration Stage 1 で Fail した場合
 - キャリブレーションの初期段階で Fail している
 - パラメータ/Board Skew Parameter の確認
⇒ [P16 : タイミング検証](#); [P15 : ボードシミュレーション](#)
 - Add/Cmd の確認
⇒ [P13 : 回路図の確認 3/3](#)
 - DQ/DQS の確認
⇒ [P13 : 回路図の確認 3/3](#)
- Calibration Stage 2 で Fail した場合
 - Write Leveling で Fail している
 - CLK, DQ/DQS の output delay 値を増やす
⇒ 下記リンクの D* Delay のところを output delay に置き換えて編集する
Arria® 10 より前のデバイスの場合、D5, D6 遅延を増やす
Programmable IO dealy の設定方法
<https://service.macnica.co.jp/support/faq/91433>

Calibration Stage



- Calibration Stage 3 で Fail した場合
 - Read Calibration で Fail している
 - 本来このステージでは Fail しない
 - ステージ2 (ライトレベリング) が失敗している可能性があるためステージ2 の項目を実施
- Calibration Stage 4 で Fail した場合
 - Write Calibration で Fail している
 - 失敗した DQ グループをマスクし、再キャリブレーションする
 - ⇒ Altera wiki : UniPHY External Memory Interface Debug Toolkit 参照
https://fpgawiki.intel.com/wiki/UniPHY_External_Memory_Interface_Debug_Toolkit
 - マージンをチェックして、障害がグループ内のすべてのビットか、一部のビットのみか確認
 - ⇒ Fail するボードトレースの確認とはんだ実装の確認

デバッグフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザ回路の確認

● Avalon-MM インタフェース信号の確認

○ JTAG ピン経由で Signal Tap を使用して以下の信号を確認

- | | | |
|-----------------------|------------------------|-----------------|
| - amm_address_0 | - amm_writedata_1 | - test_complete |
| - amm_readdata_0 | - amm_writedatavalid_1 | - data_out |
| - amm_readdatavalid_0 | - amm_ready_1 | - data_in |
| - amm_ready_0 | - local_cal_fail | - fail |
| - amm_address_1 | - local_cal_success | - pass |

○ 確認項目

- ユーザ回路から EMIF へのアクセス開始は init_done のアサート後
- アドレスの指定が間違っていないか (EMIF はワード単位)
- Burst Length の指定サイズとライトアサート回数的一致
- amm_ready = H になるまで read/write req と amm_address, size の値を保持しているか
- Avalon バス上のリセットシステムが統一されているか

Signal Tap でモニタリング対象の信号

<https://www.intel.com/documentation/hco1416492180052.html#hco1416491965846>

“Signals to Monitor with the Signal Tap II Logic Analyzer”

デバッグフロー

デバッグフロー

デバイスのスペック確認



電源の確認



RefCLK/Reset の確認



信号品質の確認



回路図の確認



タイミングの確認



Example Design で検証



ユーザ回路の確認

- タイミングの問題だと考えられる事象 (Bit エラー)
- 下記のような事象が起きた場合、タイミングの確認に戻る
 - インプリすることにより事象が変化する
 - ボード依存性がある
 - 温度依存性がある
 - 電源投入後、時間経過で事象が変化する
 - Signal Tap を組み込むと事象が変化する
 - モニタピンをつなぐと事象が変化する

さいごに

- メモリインタフェースの高速化に伴い、ボード設計の厳密化への要求が高まっており、メモリに関する動作不具合も増加傾向にあります
- デバッグに費やす時間の短縮のため、あらかじめデバッグする手段の実装や部品ばらつきによる不安定動作を防止するためにメーカー推奨以上のマージンを確保した設計が重要となります
- 設計時間の短縮、市場への不良流出の防止のためにガイドラインを守り、不具合のない製品を最短期間で市場に投入させましょう



ALTIMA

A **Macnica** Division Company

Thank you



ALTIMA

A **Macnica** Division Company

Appendix

Appendix

- [チェックリスト](#)
- [パラメータの確認方法](#)
- [Example Design の作成方法](#)
- [EMIF ToolKit の使い方](#)

Appendix

- チェックリスト
- パラメータの確認方法
- Example Design の作成方法
- EMIF ToolKit の使い方



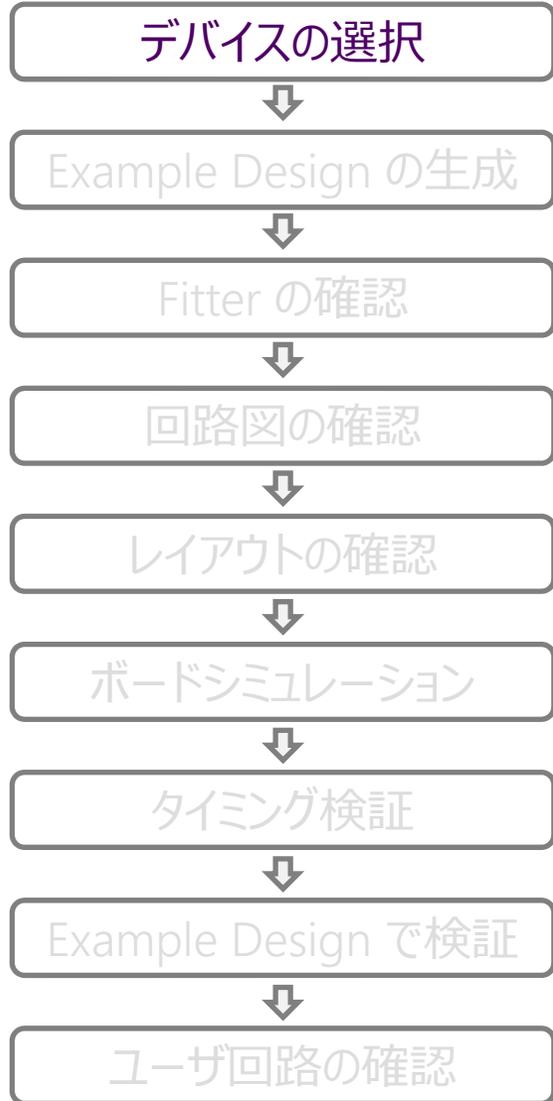
Appendix : チェックリスト

チェックリスト 1/10



- 各デザインフローでのチェックリストを記載
 - 本 Appendix のチェックリストは本資料で示した項目のチェックリストであり、各項目で示したウェブサイト上のチェックリストが上位チェックリストであるので、ウェブサイト上のチェックリストを必ず確認すること

チェックリスト 2/10

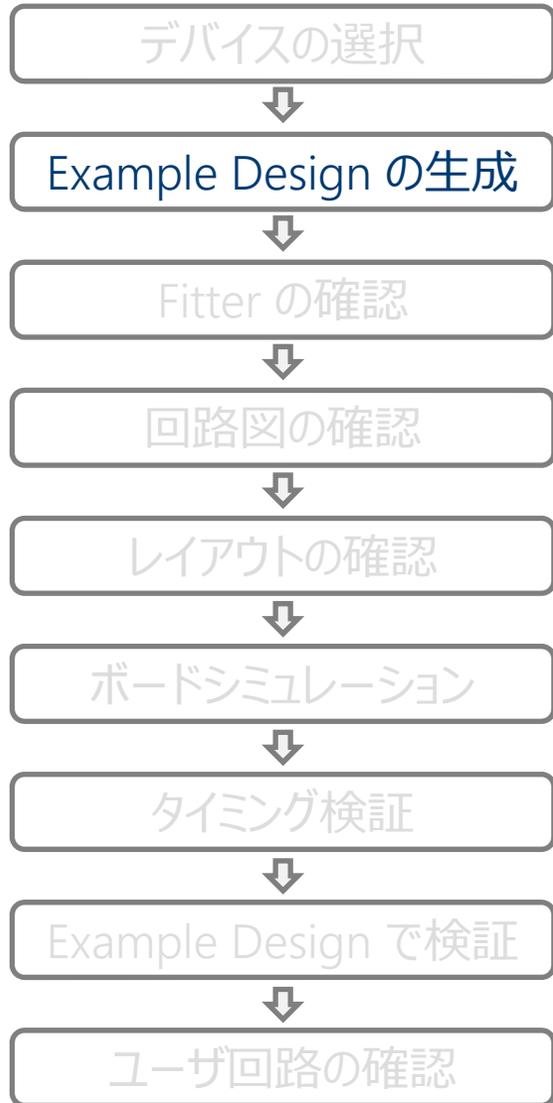


デバイスの選択時のチェックリスト

所望の構成を実装可能なデバイスを選択しているか

動作周波数はサポート範囲内か

チェックリスト 3/10



Example Design で検証時のチェックリスト

Example Design で検証時のチェックリスト	<input checked="" type="checkbox"/>
所望の構成で Example Design を生成できるか	<input type="checkbox"/>
正確なメモリパラメータを入力したか	<input type="checkbox"/>
Example Design でのシミュレーション方法を確認したか	<input type="checkbox"/>
Example Design でフルコンパイルは成功するか	<input type="checkbox"/>
Example Design でタイミングは満たしているか	<input type="checkbox"/>

チェックリスト 4/10



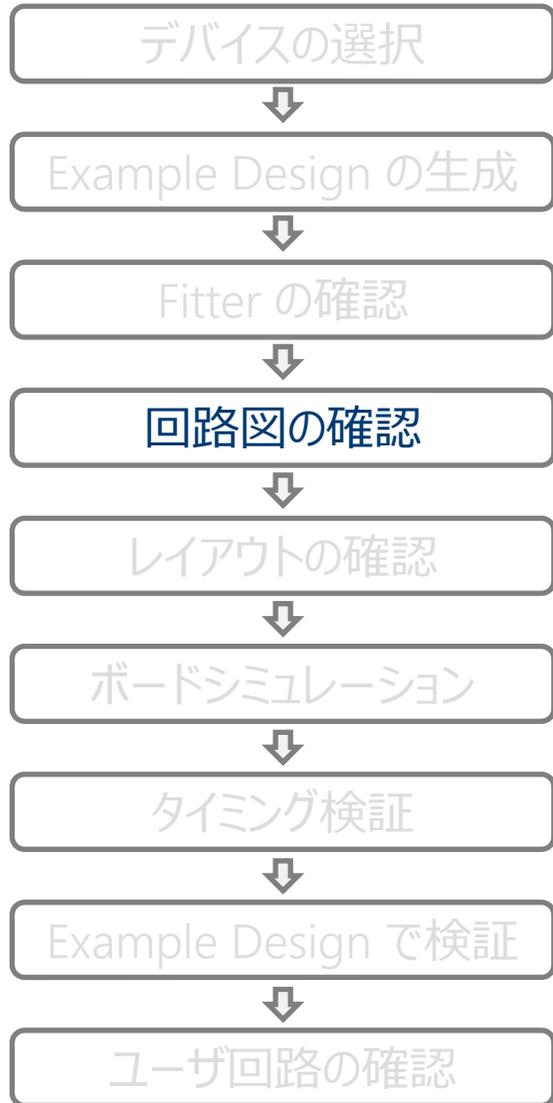
Fitter の確認時のチェックリスト

ユーザ I/O を含めて Fitter エラーがないか確認したか

ピン数に余裕がある場合、EMIF 配置バンクに他のユーザ I/O を割り当てない



チェックリスト 5/10



回路図の確認時のチェックリスト

CLK は専用ピンを使っているか



Add/Cmd, CKE, RZQ, Reset の処理方法の確認をしたか



フライバイ終端しているか



VCC, VCCP, VCCERAM, VCCPT, VCCIO, VCCA_PLL, VTT の電圧を測定できるように設計し、電圧許容範囲内であることを確認する



電源を電圧調整できるように設計する



FPGA 側とメモリ側の各端子から近い箇所に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が乱れてないこと確認



DQ/DQS グループごとに、DQS に対する DQ の Skew がワーストと2番目にワーストになる信号を確認できるようにする



① : FPGA への入力 CLK と Global Reset

② : FPGA 内で PLL より生成された CLK

③ : メモリへの入力 CLK ; ①~③を測定できるように設計



EMIF Handbook の Design Guidelines を確認したか



Schematic Review Worksheets を確認したか



Pin Connection Guidelines は確認したか



チェックリスト 6/10



レイアウトの確認時のチェックリスト

FPGA → DIMM のトレース長の確認

DQ/DQS 間の Skew 値の確認

Add/Cmd と mem_clk を比較し時間を確認

伝送遅延は DQ より CK が長いか

Arria® 10 Board Guidelines を確認したか

EMIF Handbook : Design Layout Guidelines を確認したか



チェックリスト 7/10



ボードシミュレーション時のチェックリスト

Channel Simulation Guidelines を参照しメモリ関連の信号波形が規定値に収まっていることを確認したか



Board Skew Parameter Tool に基板情報を入力し計算したか



Channel Signal Integrity の評価/計算をしたか



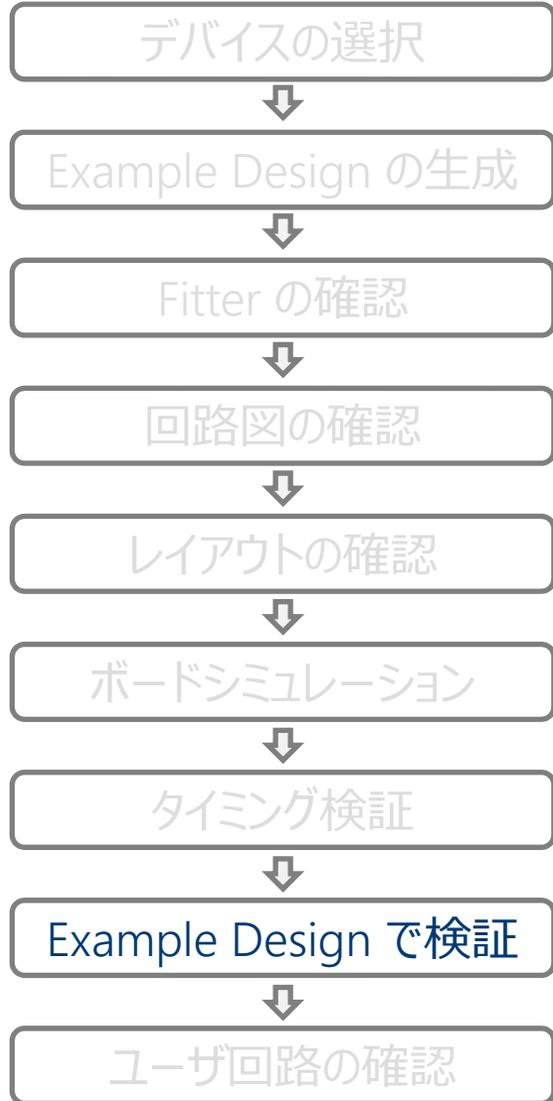
チェックリスト 8/10



タイミング検証時のチェックリスト

	<input checked="" type="checkbox"/>
タイミングを満たしていることを確認したか	<input type="checkbox"/>
正しいメモリパラメータになっていることを再確認する	<input type="checkbox"/>
設定した動作周波数と実際の動作周波数が同じものになっているか確認する	<input type="checkbox"/>
SDC ファイルの順番を確認する メモリ SDC→ユーザ SDC の順番で登録 メモリ関連の制約を二重にかけていないか確認	<input type="checkbox"/>
EMIF 内のパスは False 設定禁止	<input type="checkbox"/>

チェックリスト 9/10



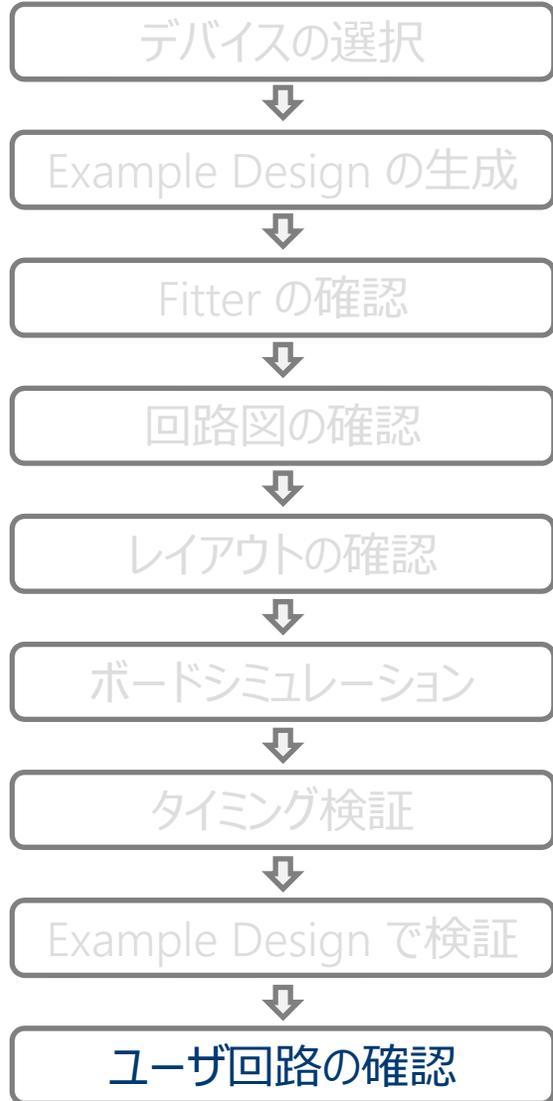
Example Design で検証時のチェックリスト

EMIF ToolKit を使い、温度・電圧変化しても信号品質やマージンがあるか確認する

EMIF ToolKit でキャリブレーションが失敗 (Fail) した場合
[P25 : Debug in EMIF ToolKit](#)を確認する



チェックリスト 10/10



ユーザ回路の確認時のチェックリスト

	<input checked="" type="checkbox"/>
Avalon-MM のプロトコル通りのアクセスをしているか	<input type="checkbox"/>
キャリブレーション失敗時に自動で再キャリブレーションする回路の構築を推奨	<input type="checkbox"/>
calibration_pass の Hi を確認したか	<input type="checkbox"/>

Appendix

- チェックリスト
- パラメータの確認方法
- Example Design の作成方法
- EMIF ToolKit の使い方



Appendix : パラメータの確認方法

パラメータの確認方法 1/11

- メモリパラメータを確認するための資料
- 例として下記構成での確認方法を記載
 - メモリ型番 : MT40A256M16GE-083E:B
 - 動作周波数 : 625 [MHz]
 - $T_{ck} = 1 / 625 \text{ [MHz]} \times 1000 = 1.6 \text{ [ns]}$
 - メモリベンダの HP から該当のデータシートを検索
 - 型番とデータシートを参照しメモリの構成を把握
 - 256 Meg x 16
 - DDR4-2400 (16-16-16)
 - Bank group : 2
 - Bank address : [1:0]
 - Row address : [14:0]
 - Column address : [9:0]
 - Page size : 2KB

Table 1: Key Timing Parameters

Speed Grade	Data Rate (MT/s)	Target ^t RCD- ^t RP-CL	^t RCD (ns)	^t RP (ns)	CL (ns)
-062E ⁶	3200	22-22-22	13.75	13.75	13.75
-068E ⁵	2933	20-20-20	13.64	13.64	13.64
-068E ⁵	2933	21-21-21	14.32	14.32	14.32
-075E ⁴	2666	18-18-18	13.5	13.5	13.5
-075E ⁴	2666	19-19-19	14.25	14.25	14.25
-083E ³	2400	16-16-16	13.32	13.32	13.32
-083E ³	2400	17-17-17	14.16	14.16	14.16
-093E ²	2133	15-15-15	14.06	14.06	14.06
-093E ²	2133	16-16-16	15	15	15
-107E ¹	1866	13-13-13	13.92	13.92	13.92

Table 2: Addressing

Parameter	1024 Meg x 4	512 Meg x 8	256 Meg x 16
Number of bank groups	4	4	2
Bank group address	BG[1:0]	BG[1:0]	BG0
Bank count per group	4	4	4
Bank address in bank group	BA[1:0]	BA[1:0]	BA[1:0]
Row addressing	64K (A[15:0])	32K (A[14:0])	32K (A[14:0])
Column addressing	1K (A[9:0])	1K (A[9:0])	1K (A[9:0])
Page size ¹	512B / 1KB ²	1KB	2KB



4Gb: x4, x8, x16 DDR4 SDRAM
Features

DDR4 SDRAM

MT40A1G4
MT40A512M8
MT40A256M16

Features

- $V_{DD} = V_{DDQ} = 1.2V \pm 60mV$
- $V_{PP} = 2.5V, -125mV/+250mV$
- On-die, internal, adjustable V_{REFDQ} generation
- 1.2V pseudo open-drain I/O
- T_C of 0°C to 95°C
 - 64ms, 8192-cycle refresh at 0°C to 85°C
 - 32ms at 85°C to 95°C
- 16 internal banks (x4, x8): 4 groups of 4 banks each
- 8 internal banks (x16): 2 groups of 4 banks each
- 8n-bit prefetch architecture
- Programmable data strobe preambles
- Data strobe preamble training
- Command/Address latency (CAL)
- Multipurpose register READ and WRITE capability
- Write and read leveling
- Self refresh mode
- Low-power auto self refresh (LPASR)
- Temperature controlled refresh (TCR)
- Fine granularity refresh
- Self refresh abort
- Maximum power saving
- Output driver calibration
- Nominal, park, and dynamic on-die termination (ODT)
- Data bus inversion (DBI) for data bus
- Command/Address (CA) parity

- Databus write cyclic redundancy check (CRC)
- Per-DRAM addressability
- Connectivity test (x16)
- Post package repair (PPR) and soft post package repair (sPPR) modes
- JEDEC JESD-79-4 compliant

Options¹

- Configuration
 - 1 Gig x 4
 - 512 Meg x 8
 - **256 Meg x 16**
- FBGA package (Pb-free) - x4, x8
 - 78-ball (9mm x 11.5mm) - Rev. A
 - 78-ball (9mm x 10.5mm) - Rev. B
- FBGA package (Pb-free) - x16
 - 96-ball (9mm x 14mm) - Rev. A
 - 96-ball (9mm x 14mm) - Rev. B
- Timing - cycle time
 - 0.625ns @ CL = 22 (DDR4-3200) -062E
 - 0.682ns @ CL = 20 (DDR4-2933) -068E
 - 0.682ns @ CL = 21 (DDR4-2933) -068
 - 0.750ns @ CL = 18 (DDR4-2666) -75E
 - 0.750ns @ CL = 19 (DDR4-2666) -75
 - **0.833ns @ CL = 16 (DDR4-2400) -083E**
 - 0.833ns @ CL = 17 (DDR4-2400) -083
 - 0.937ns @ CL = 15 (DDR4-2133) -093E
 - 0.937ns @ CL = 16 (DDR4-2133) -093
 - 1.071ns @ CL = 13 (DDR4-1866) -107E
- Operating temperature
 - Commercial (0° ≤ T_C ≤ 95°C) None
 - Industrial (-40° ≤ T_C ≤ 95°C) IT
 - Revision :A
 - :B

Marking

Notes: 1. Not all options listed can be combined to define an offered product. Use the part catalog search on <http://www.micron.com> for available offerings.

2. Not available on Rev. A.

3. Restricted and limited availability.

パラメータの確認方法 2/11

Memory Protocol
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

Parameters dependent on Speed Bin

Speed bin:	<input type="text" value="-2400"/>	
tIS (base):	<input type="text" value="62"/>	ps
tIS (base) AC level:	<input type="text" value="100"/>	mV
tIH (base):	<input type="text" value="87"/>	ps
tIH (base) DC level:	<input type="text" value="75"/>	mV
TdiVW_total (UI):	<input type="text" value="0.2"/>	UI
VdiVW_total:	<input type="text" value="130"/>	mV
tDQSQ (UI):	<input type="text" value="0.17"/>	UI
tQH (UI):	<input type="text" value="0.74"/>	UI
tDVWp (UI):	<input type="text" value="0.72"/>	UI
tDQSCK:	<input type="text" value="175"/>	ps
tDQSS:	<input type="text" value="0.27"/>	cycles
tQSH:	<input type="text" value="0.38"/>	cycles
tDSH:	<input type="text" value="0.18"/>	cycles
tDSS:	<input type="text" value="0.18"/>	cycles
tWLS:	<input type="text" value="208.0"/>	ps
tWLH:	<input type="text" value="208.0"/>	ps
tINIT:	<input type="text" value="500"/>	us
tMRD:	<input type="text" value="8"/>	cycles
tRAS:	<input type="text" value="32.0"/>	ns
tRCD:	<input type="text" value="13.32"/>	ns
tRP:	<input type="text" value="13.32"/>	ns
tWR:	<input type="text" value="15.0"/>	ns

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)
- 該当のメモリ型番のデータシートを参照しパラメータを確認する
 - 「Memory」「Mem Timing」タブの設定を確認
- メモリの型番のスピードグレードによってパラメータの参照箇所が変わる
 - Ex : メモリの型番が MT40A256M16GE-083E:B の場合
 - メモリのスピードグレードは DDR4-2400 (16-16-16) なので 2400 品を参照する
 - 参照箇所は動作周波数によらない
 - 動作周波数が 600 [MHz] でも 800 [MHz] でも今回の場合 2400 品を参照
- 動作周波数によって値が変わり計算が必要な箇所もある
 - tRRD, tWTR, tCCD, CL, CWL...etc
 - GUI 上の単位とデータシートの単位に間違いがないか確認
- スピードグレードによって参照する AC レベルの箇所が変わる
 - https://www.intel.com/support/support-resources/knowledge-base/solutions/rd01032014_56.html

Parameters dependent on Speed Bin, Operati

Update the following as you change the operati

tRRD_S:	<input type="text" value="4"/>	cycles
tRRD_L:	<input type="text" value="4"/>	cycles
tFAW:	<input type="text" value="44.8"/>	ns
tCCD_S:	<input type="text" value="4"/>	cycles
tCCD_L:	<input type="text" value="5"/>	cycles
tWTR_S:	<input type="text" value="2"/>	cycles
tWTR_L:	<input type="text" value="5"/>	cycles

Parameters dependent on Density and Ter

Update the following as you change the physical
Incorrect values can cause data corruption.

tRFC:	<input type="text" value="260.0"/>	ns
tREFI:	<input type="text" value="7.8"/>	us

Row address width:	<input type="text" value="15"/>
Column address width:	<input type="text" value="10"/>
Bank address width:	<input type="text" value="2"/>
Bank group width:	<input type="text" value="1"/>
<input checked="" type="checkbox"/> Data mask	
<input type="checkbox"/> Write DBI	
<input type="checkbox"/> Read DBI	

Latency and Burst

Memory CAS latency setting:	<input type="text" value="9"/>
Memory write CAS latency setting:	<input type="text" value="9"/>

パラメータの確認方法 3/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Table 2: Addressing

Parameter	1024 Meg x 4	512 Meg x 8	256 Meg x 16
Number of bank groups	4	4	2
Bank group address	BG[1:0]	BG[1:0]	BG0
Bank count per group	4	4	4
Bank address in bank group	BA[1:0]	BA[1:0]	BA[1:0]
Row addressing	64K (A[15:0])	32K (A[14:0])	32K (A[14:0])
Column addressing	1K (A[9:0])	1K (A[9:0])	1K (A[9:0])
Page size ¹	512B / 1KB ²	1KB	2KB

Memory Protocol
Protocol: DDR4

General Memory Mem I/O FPGA I/O Mem I/O

Row address width: 15

Column address width: 10

Bank address width: 2

Bank group width: 1

Data mask

Write DBI

Read DBI

Ex. 動作周波数 : 625 [MHz] tCK = 1.6 [ns] Speed bin = -083E

tCK = 1.6 [ns] なので Min 1.5 < tCK (1.6) < Max 1.9
Read DBI にチェックが入っているので READ : DBI を参照

CL = 11
CWL = 9

Latency and Burst

Memory CAS latency setting: 11

Memory write CAS latency setting: 9

Table 144: DDR4-2400 Speed Bins and Operating Conditions

DDR4-2400 Speed Bin				-083F		-083E		-083		Unit
CL-nRCD-nRP				15-15-15		16-16-16		17-17-17		
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	
READ: nonDBI	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	
CL = 9	CL = 11	CWL = 9	tCK ⁴	1.5	1.9	1.5	1.9	Reserved		ns
CL = 10	CL = 12	CWL = 9	tCK ⁴	1.5	1.6	Reserved		1.5	1.6	ns
CL = 10	CL = 12	CWL = 9, 11	tCK ⁴	Reserved		Reserved		Reserved		ns
CL = 11	CL = 13	CWL = 9, 11	tCK ⁴	Reserved		1.25	<1.5	1.25	<1.5	ns
CL = 12	CL = 14	CWL = 9, 11	tCK ⁴	1.25	<1.5	1.25	<1.5	1.25	<1.5	ns
CL = 12	CL = 14	CWL = 10, 12	tCK ⁴	Reserved		Reserved		Reserved		ns

パラメータの確認方法 4/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Table 1: Key Timing Parameters

Speed Grade	Data Rate (MT/s)	Target t_{RCD} - t_{RP} -CL	t_{RCD} (ns)	t_{RP} (ns)	CL (ns)
-062E ⁶	3200	22-22-22	13.75	13.75	13.75
-068E ⁵	2933	20-20-20	13.64	13.64	13.64
-068 ⁵	2933	21-21-21	14.32	14.32	14.32
-075E ⁴	2666	18-18-18	13.5	13.5	13.5
-075 ⁴	2666	19-19-19	14.25	14.25	14.25
-083E ³	2400	16-16-16	13.32	13.32	13.32
-083 ³	2400	17-17-17	14.16	14.16	14.16
-093E ²	2133	15-15-15	14.06	14.06	14.06
-093 ²	2133	16-16-16	15	15	15
-107E ¹	1866	13-13-13	13.92	13.92	13.92

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes	
		Min	Max	Min	Max	Min	Max	Min	Max			
DLL locking time	t_{DLLK}	597	-	597	-	768	-	768	-	CK	2, 4	
CMD, ADDR setup time to CK _t , CK _c Base referenced to V _{IH(AQ)} and V _{IL(AQ)} levels	Base	t_{IS}	115	-	100	-	80	-	62	-	ps	
	V _{REFCA}	t_{ISVREF}	215	-	200	-	180	-	162	-	ps	
CMD, ADDR hold time to CK _t , CK _c Base referenced to V _{IH(DQ)} and V _{IL(DQ)} levels	Base	t_{IH}	140	-	125	-	105	-	87	-	ps	
	V _{REFCA}	t_{IHVREF}	215	-	200	-	180	-	162	-	ps	

Memory Protocol

Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

Parameters dependent on Speed Bin

Speed bin:

t_{IS} (base): ps

t_{IS} (base) AC level: mV

t_{IH} (base): ps

t_{IH} (base) DC level: mV

T_{diVW_total} (UI): UI

V_{diVW_total} : mV

t_{DQSQ} (UI): UI

t_{QH} (UI): UI

t_{dVWp} (UI): UI

t_{DQSCK} : ps

t_{DQSS} : cycles

t_{QSH} : cycles

t_{DSH} : cycles

t_{DSS} : cycles

t_{WLS} : ps

t_{WLH} : ps

t_{INIT} : us

t_{MRD} : cycles

t_{RAS} : ns

t_{RCD} : ns

t_{RP} : ns

t_{WR} : ns

パラメータの確認方法 5/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Memory Protocol
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

Parameters dependent on Speed Bin
Speed bin:

tIS (base): ps
tIS (base) AC level: mV
tIH (base): ps
tIH (base) DC level: mV

TdiVW_{total} (UI): UI
VdiVW_{total}: mV
tDQSQ (UI): UI
tQH (UI): UI
tDWW_p (UI): UI
tDQSCK: ps
tDQSS: cycles
tQSH: cycles
tDSH: cycles
tDSS: cycles
tWLS: ps
tWLH: ps
tINIT: us
tMRD: cycles
tRAS: ns
tRCD: ns
tRP: ns
tWR: ns

Table 84: DQ Input Receiver Specifications

Note 1 applies to the entire table

Parameter	Symbol	DDR4-1600, 1866, 2133		DDR4-2400		DDR4-2666		DDR4-2933		DDR4-3200		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
V _{IN} Rx mask input peak-to-peak	V _{dVW}	-	136	-	130	-	120	-	115	-	110	mV	2, 3
DQ Rx input timing window	TdiVW	-	0.2	-	0.2	-	0.22	-	0.23	-	0.23	UI	2, 3

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
DQ Output Timing (DLL enabled)											
DQS _t , DQS _c to DQ skew, per group, per access	^t DQSQ	-	0.16	-	0.16	-	0.16	-	0.17	IU	
DQ output hold time from DQS _t , DQS _c	^t QH	0.76	-	0.76	-	0.76	-	0.74	-	IU	
Data Valid Window per device: ^t QH - ^t DQSQ each device's output per UI	^t DWW _d	0.63	-	0.63	-	0.64	-	0.64	-	IU	
Data Valid Window per device, per pin: ^t QH - ^t DQSQ each device's output per UI	^t DWW _p	0.66	-	0.66	-	0.69	-	0.72	-	IU	

パラメータの確認方法 6/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Memory Protocol
 Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

Parameters dependent on Speed Bin

Speed bin:

tIS (base): ps

tIS (base) AC level: mV

tIH (base): ps

tIH (base) DC level: mV

TdiVW_{total} (UI): UI

VdiVW_{total}: mV

tDQSQ (UI): UI

tQH (UI): UI

tDVW_p (UI): UI

tDQSCK: ps

tDQSS: cycles

tQSH: cycles

tDSH: cycles

tDSS: cycles

tWLS: ps

tWLH: ps

tINIT: us

tMRD: cycles

tRAS: ns

tRCD: ns

tRP: ns

tWR: ns

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
DQ Low-Z time from CK _t , CK _c	^t LZDQ	-450	225	-390	195	-360	180	-300	150	ps	
DQ High-Z time from CK _t , CK _c	^t HZDQ	-	225	-	195	-	180	-	150	ps	
DQ Strobe Input Timing											
DQS _t , DQS _c rising edge to CK _t , CK _c rising edge	^t DQSS	-0.27	0.27	-0.27	0.27	-0.27	0.27	-0.27	0.27	CK	
DQS _t , DQS _c differential input low pulse width	^t DQSL	0.46	0.54	0.46	0.54	0.46	0.54	0.46	0.54	CK	
DQS _t , DQS _c differential input high pulse width	^t DQSH	0.46	0.54	0.46	0.54	0.46	0.54	0.46	0.54	CK	
DQS _t , DQS _c falling edge setup to CK _t , CK _c rising edge	^t DSS	0.18	-	0.18	-	0.18	-	0.18	-	CK	
DQS _t , DQS _c falling edge hold from CK _t , CK _c rising edge	^t DSH	0.18	-	0.18	-	0.18	-	0.18	-	CK	
DQS _t , DQS _c differential WRITE preamble	^t WPRE	0.9	-	0.9	-	0.9	-	0.9	-	CK	
DQS _t , DQS _c differential WRITE postamble	^t WPST	0.33	-	0.33	-	0.33	-	0.33	-	CK	
DQS Strobe Output Timing (DLL enabled)											
DQS _t , DQS _c rising edge output access time from rising CK _t , CK _c	^t DQSCK	-225	225	-195	195	-180	180	-175	175	ps	
DQS _t , DQS _c rising edge output variance window per DRAM	^t DQSCKi	-	370	-	330	-	310	-	290	ps	
DQS _t , DQS _c differential output high time	^t QSH	0.38	-	0.38	-	0.38	-	0.38	-	CK	
DQS _t , DQS _c differential output low	^t QSL	0.38	-	0.38	-	0.38	-	0.38	-	CK	

パラメータの確認方法 7/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Memory Protocol
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

Parameters dependent on Speed Bin

Speed bin:

tIS (base): ps

tIS (base) AC level: mV

tIH (base): ps

tIH (base) DC level: mV

TdiVW_total (UI): UI

VdiVW_total: mV

tDQSQ (UI): UI

tQH (UI): UI

tDVWp (UI): UI

tDQSCK: ps

tDQSS: cycles

tQSH: cycles

tDSH: cycles

tDSS: cycles

tWLS: ps

tWLH: ps

tINIT: us

tMRD: cycles

tRAS: ns

tRCD: ns

tRP: ns

tWR: ns

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
DQS_t, DQS_c delay after write leveling mode is programmed	$t_{WLDQSEN}$	25	-	25	-	25	-	25	-	CK	
Write leveling setup from rising CK_t, CK_c crossing to rising DQS_t, DQS_c crossing	t_{WLS}	0.13	-	0.13	-	0.13	-	0.13	-	CK	
Write leveling hold from rising DQS_t, DQS_c crossing to rising CK_t, CK_c crossing	t_{WLH}	0.13	-	0.13	-	0.13	-	0.13	-	CK	

Ex. 動作周波数 : 625 [MHz] $t_{CK} = 1.6$ [ns]

t_{WLS} , t_{WLH} の単位は GUI 上では ps なのに対しデータシート上では CK になっているので [CK] を [ps] に直す必要がある

- $t_{WLS} = 0.13$ [CK] \times 1.6 [ns] = 0.208 [ns] = 208 [ps]
- $t_{WLH} = 0.13$ [CK] \times 1.6 [ns] = 0.208 [ns] = 208 [ps]

- t_{INIT} はリセットが解除されてから CKE がアサートされるまでの時間
- メモリのプロトコルごとに、JEDEC STANDARD で定義されている
- 今回は DDR4 なので DDR4 JEDEC STANDARD を参照

2. After RESET_n is de-asserted, wait for another **500us** until CKE becomes active. During this time, the DRAM will start internal initialization; this will be done independently of external clocks.

パラメータの確認方法 8/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Memory Protocol
Protocol:

General | Memory | Mem I/O | FPGA I/O | Mem Tim

Timing parameters as found in the data sheet of t

Parameters dependent on Speed Bin

Speed bin:

tIS (base): ps

tIS (base) AC level: mV

tIH (base): ps

tIH (base) DC level: mV

TdiVW_total (UI): UI

VdiVW_total: mV

tDQSQ (UI): UI

tQH (UI): UI

tDVWp (UI): UI

tDQSCK: ps

tDQSS: cycles

tQSH: cycles

tDSH: cycles

tDSS: cycles

tWLS: ps

tWLH: ps

tINIT: us

tMRD: cycles

tRAS: ns

tRCD: ns

tRP: ns

tWR: ns

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
MRS Command Timing											
MRS command cycle time	^t MRD	8	-	8	-	8	-	8	-	CK	
MRS command cycle time in PDA mode	^t MRD_PDA	MIN = greater of (16nCK, 10ns)								CK	1

Table 144: DDR4-2400 Speed Bins and Operating Conditions

DDR4-2400 Speed Bin		-083F		-083E		-083		Unit
CL-nRCD-nRP		15-15-15		16-16-16		17-17-17		
Parameter	Symbol	Min	Max	Min	Max	Min	Max	
Internal READ command to first data	^t AA	12.5	18.00	13.32	18.00	14.16	18.00	ns
Internal READ command to first data with read DBI enabled	^t AA_DBI	^t AA(MIN) + 3nCK	-	^t AA(MIN) + 3nCK	-	^t AA(MIN) + 3nCK	-	ns
ACTIVATE to internal READ or WRITE delay time	^t RCD	12.5	-	13.32	-	14.16	-	ns
PRECHARGE command period	^t RP	12.5	-	13.32	-	14.16	-	ns
ACTIVATE-to-PRECHARGE command period	^t RAS	32	9 × ^t REFI	32	9 × ^t REFI	32	9 × ^t REFI	ns

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Four ACTIVATE windows for 1KB page size	^t FAW (1KB)	MIN = greater of 20CK or 25ns		MIN = greater of 20CK or 23ns		MIN = greater of 20CK or 21ns		MIN = greater of 20CK or 21ns		ns	
Four ACTIVATE windows for 2KB page size	^t FAW (2KB)	MIN = greater of 28CK or 35ns		MIN = greater of 28CK or 30ns		MIN = greater of 28CK or 30ns		MIN = greater of 28CK or 30ns		ns	
WRITE recovery time	^t WR	MIN = 15ns								ns	6, 10, 1
	^t WR ₂	MIN = 1CK + ^t WR								CK	6, 11, 1

パラメータの確認方法 9/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
ACTIVATE-to-ACTIVATE command period to different bank groups for 2KB page size	tRRD_S (2KB)	MIN = greater of 4CK or 6ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 5.3ns		CK	1
ACTIVATE-to-ACTIVATE command period to same bank groups for 1/2KB page size	tRRD_L (1/2KB)	MIN = greater of 4CK or 6ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 4.9ns		CK	1
ACTIVATE-to-ACTIVATE command period to same bank groups for 1KB page size	tRRD_L (1KB)	MIN = greater of 4CK or 6ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 5.3ns		MIN = greater of 4CK or 4.9ns		CK	1
ACTIVATE-to-ACTIVATE command period to same bank groups for 2KB page size	tRRD_L (2KB)	MIN = greater of 4CK or 7.5ns		MIN = greater of 4CK or 6.4ns		MIN = greater of 4CK or 6.4ns		MIN = greater of 4CK or 6.4ns		CK	1
CTRL, ADDR pulse width for each input	tIPW	600	-	525	-	460	-	410	-	ps	

Parameters dependent on Speed Bin, Open

Update the following as you change the operating frequency. Incorrect values can cause data corruption.

tRRD_S: cycles

tRRD_L: cycles

tFAW: ns

tCCD_S: cycles

tCCD_L: cycles

tWTR_S: cycles

tWTR_L: cycles

Parameters dependent on Density and Temperature

Update the following as you change the physical temperature. Incorrect values can cause data corruption.

tRFC: ns

tREFI: us

Ex. 動作周波数 : 625 [MHz] tCK = 1.6 [ns] Page size : 2KB

Page Size = 2KB なので 2KB のところ参照

- tRRD_S = 4 CK or 5.3 ns で大きい方を選択
5.3 [ns] を [CK] に直して比較する
 $5.3 \text{ [ns]} / 1.6 \text{ [ns]} = 3.3 \text{ [CK]}$
3.3 と 4 を比較すると 4 の方が大きいので tRRD_S = 4

- tRRD_L = 4CK or 6.4 ns で大きい方を選択
6.4 [ns] を [CK] に直して比較
 $6.4 \text{ [ns]} / 1.6 \text{ [ns]} = 4 \text{ [CK]}$
4 [CK] と同じなので tRRD_S = 4

パラメータの確認方法 10/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Four ACTIVATE windows for 1KB page size	tFAW (1KB)	MIN = greater of 20CK or 25ns		MIN = greater of 20CK or 23ns		MIN = greater of 20CK or 21ns		MIN = greater of 20CK or 21ns		ns	
Four ACTIVATE windows for 2KB page size	tFAW (2KB)	MIN = greater of 28CK or 35ns		MIN = greater of 28CK or 30ns		MIN = greater of 28CK or 30ns		MIN = greater of 28CK or 30ns		ns	
CAS_n-to-CAS_n command delay to different bank group	tCCD_S	4	-	4	-	4	-	4	-	CK	
CAS_n-to-CAS_n command delay to same bank group	tCCD_L	MIN = greater of 4CK or 6.25ns	-	MIN = greater of 4CK or 5.355ns	-	MIN = greater of 4CK or 5.355ns	-	MIN = greater of 4CK or 5ns	-	CK	15
								MAX = N/A		CK	

Parameters dependent on Speed Bin, Open

Update the following as you change the operating frequency.

tRRD_S: 4 cycles

tRRD_L: 4 cycles

tFAW: 44.8 ns

tCCD_S: 4 cycles

tCCD_L: 5 cycles

tWTR_S: 2 cycles

tWTR_L: 5 cycles

Parameters dependent on Density and Temperature

Update the following as you change the physical temperature. Incorrect values can cause data corruption.

tRFC: 260.0 ns

tREFI: 7.8 us

Ex. 動作周波数 : 625 [MHz] tCK = 1.6 [ns] Page size : 2KB

• tFAW = 28 CK or 30 ns で大きい方を選択
 28 [CK] を [ns] に直して比較
 $28 \times 1.6 = 44.8$ [ns]
 $30 < 44.8$ なので 44.8

• tCCD_L = 4CK or 5 ns で大きい方を選択
 5 [ns] を [CK] に直して比較
 $5 / 1.6 = 3.12..$ [CK]
 $4 > 3.12$ なので 4 を選択
 しかし Notes15 には最小値 5 と記載があるので 5

15. JEDEC specifies a minimum of five clocks.

パラメータの確認方法 11/11

- MT40A256M16GE-083E:B @ DDR4-2400 (16-16-16)

Table 149: Electrical Characteristics and AC Timing Parameters: DDR4-1600 through DDR4-2400 (Continued)

Parameter	Symbol	DDR4-1600		DDR4-1866		DDR4-2133		DDR4-2400		Unit	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Delay from start of internal WRITE transaction to internal READ command – Same bank group	t^*WTR_L	MIN = greater of 4CK or 7.5ns								CK	6, 10, 1
	t^*WTR_L2	MIN = 1CK + t^*WTR_L								CK	6, 11, 1
Delay from start of internal WRITE transaction to internal READ command – Same bank group when CRC and DM are both enabled	$t^*WTR_L_CRC_DM$	MIN = t^*WR_S + greater of (4CK or 3.75ns)		MIN = t^*WR_S + greater of (5CK or 3.75ns)						CK	7, 10, 1
	$t^*WTR_L_CRC_DM2$	MIN = 1CK + $t^*WTR_L_CRC_DM$								CK	7, 11, 1
Delay from start of internal WRITE transaction to internal READ command – Different bank group	t^*WTR_S	MIN = greater of (2CK or 2.5ns)								CK	6, 8, 9, 10, 1
	t^*WTR_S2	MIN = 1CK + t^*WTR_S								CK	6, 8, 9, 11, 1

Parameters dependent on Speed Bin, Open

Update the following as you change the operating frequency.

t^*RRD_S :	<input type="text" value="4"/>	cycles
t^*RRD_L :	<input type="text" value="4"/>	cycles
t^*FAW :	<input type="text" value="44.8"/>	ns
t^*CCD_S :	<input type="text" value="4"/>	cycles
t^*CCD_L :	<input type="text" value="5"/>	cycles
t^*WTR_S :	<input type="text" value="2"/>	cycles
t^*WTR_L :	<input type="text" value="5"/>	cycles

Parameters dependent on Density and Temperature

Update the following as you change the physical temperature. Incorrect values can cause data corruption.

t^*RFC :	<input type="text" value="260.0"/>	ns
t^*REFI :	<input type="text" value="7.8"/>	us

Ex. 動作周波数 : 625 [MHz] $t^*CK = 1.6$ [ns] Page size : 2KB

- $t^*WTR_L = 4$ CK or 7.5 nsで大きい方を選択
7.5 [ns] を [CK] に直して比較
 $7.5 / 1.6 = 4.68..$ [CK] ; $4 < 4.68$ なので 4.68 を選択
小数点以下切り上げ 5

- $t^*WTR_S = 2$ CK or 2.5 nsで大きい方を選択
2.5 [ns] を [CK] に直して比較
 $2.5 / 1.6 = 1.56..$ [CK] ; $2 > 1.56$ なので 2 を選択

Table 148: Refresh Parameters by Device Density

Parameter	Symbol	2Gb	4Gb	8Gb	16Gb	Unit	Notes	
REF command to ACT or REF command time	t^*RFC (All bank groups)	160	260	350	550	ns		
Average periodic refresh interval	t^*REFI	$0^\circ C \leq T_C \leq 85^\circ C$	7.8	7.8	7.8	3.9	μs	
		$0^\circ C < T_C \leq 95^\circ C$	3.9	3.9	3.9	1.95	μs	1

Appendix

- チェックリスト
- パラメータの確認方法
- Example Design の作成方法
- EMIF ToolKit の使い方



Appendix : Example Design の作成方法

Example Design の作成方法 1/3

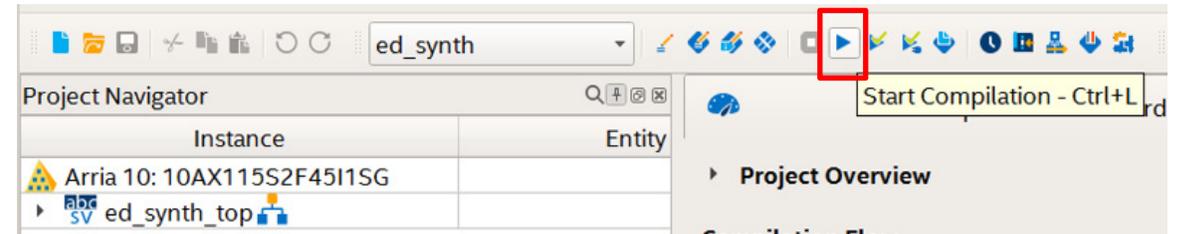
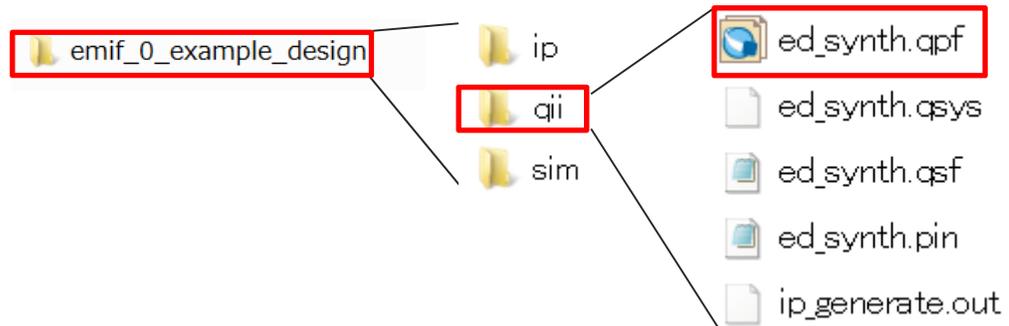
- Example Design の作成
 - メモリ IP 設定画面 → Example Design タブ → 下記の図のように必要箇所を設定
→ Generate Example Design を押すと Example Design が生成

The screenshot shows the 'Arria 10 External Memory Interfaces' configuration tool. The 'Generate Example Design' button is highlighted with a red box. Below it, the 'Memory Protocol' is set to 'DDR4'. The 'Example Design Files' section has 'Simulation' and 'Synthesis' checked, with red boxes around the checkboxes and red text explaining that 'simulation' files are generated when 'Simulation' is selected and 'synthesis' files are generated when 'Synthesis' is selected. The 'Generated HDL Format' section has 'Verilog' selected, with a red box around the dropdown and red text stating '生成するデザイン言語を選択'. The 'Target Development Kit' section has a dropdown menu open, showing various development kits, with a red box around the 'none' option and red text stating 'アルテラ devkit を使用する場合はプルダウンメニューから選択'.

- 詳細は EMIF Handbook vol3 : Reference Material を参照
 - <https://www.intel.com/content/www/us/en/programmable/documentation/hco1416493470528.html#hco1416492284855>
 - “Arria 10 EMIF IP Example Designs Quick Start Guide”

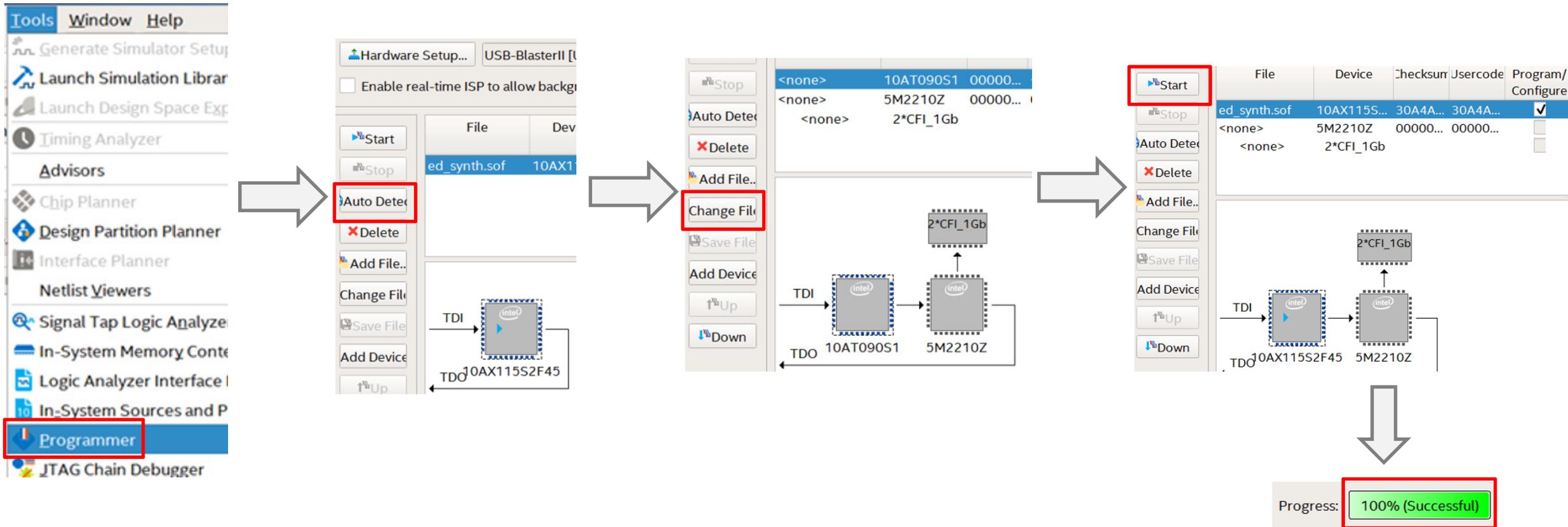
Example Design の作成方法 2/3

- Example Design の作成
 - Example Design の生成フォルダ
 - qii フォルダ : 合成用の Example Design
 - sim フォルダ : シミュレーション用の Example Design
 - qii フォルダの qpf を開き、コンパイルを実行することで Example Design を作成可能



Example Design の作成方法 3/3

- Example Design の作成
 - Tool → Programmer → Auto Detect → Change file → sof ファイルを選択 → Start
 - Successful で書込み完了



Appendix

- チェックリスト
- パラメータの確認方法
- Example Design の作成方法
- EMIF ToolKit の使い方



Appendix : EMIF ToolKit の使い方

EMIF ToolKit の使い方 1/8

- EMIF ToolKit の実行フロー
 - EMIF Tool Kit オプションの有効化
 - デザイン作成およびコンパイル
 - ボードと PC の接続
 - ボードの電源投入後 SOF ファイルの書き込み
 - EMIF ToolKit を起動しコマンドの実行
 - レポート確認
- 詳細は EMIF Handbook vol3:Reference Material を参照
 - <https://www.intel.com/documentation/hco1416493470528.html#hco1416492284855>
= “External Memory Interface Debug Toolkit”

EMIF ToolKit の使い方 2/8

- EMIF ToolKit の実行フロー
 - EMIF ToolKit オプションの有効化
 - Diagnostics タブの Add EMIF Debug Interface を選択し IP を Generate

The screenshot shows the configuration interface for the EMIF ToolKit. The 'Memory Protocol' section is expanded, showing 'Protocol: DDR4'. Below this, there are several tabs: 'General', 'Memory', 'Mem I/O', 'FPGA I/O', 'Mem Timing', 'Board', 'Controller', 'Diagnostics', and 'Example Designs'. The 'Diagnostics' tab is selected. Underneath, the 'Simulation Options' section is expanded, showing 'Calibration mode: Skip Calibration' and an unchecked checkbox for 'Abstract phy for fast simulation'. The 'Calibration Debug Options' section is also expanded, showing 'Quartus Prime EMIF Debug Toolkit/On-Chip Debug Port: Disabled' and an unchecked checkbox for 'Enable Daisy-Chaining for Quartus Prime EMIF Debug Toolkit/On-Chip'. The 'Interface ID:' field is empty. A red box highlights the 'Add EMIF Debug Interface' option in the dropdown menu.

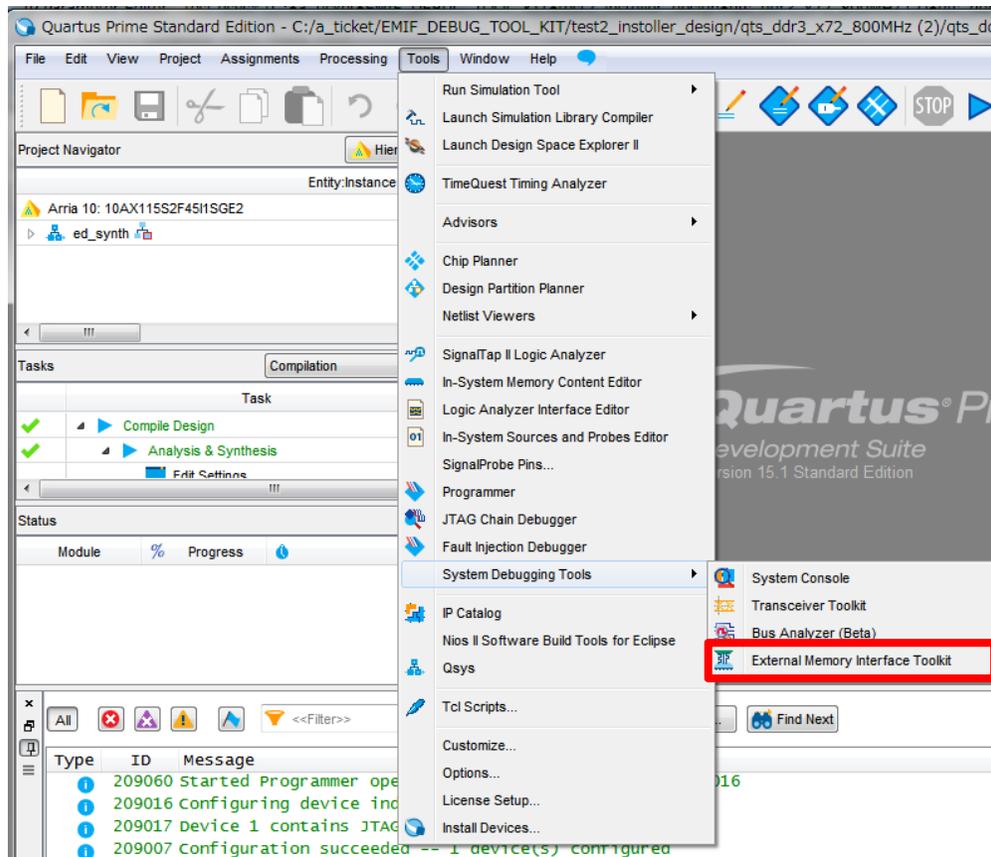
Add EMIF Debug Interface を選択

EMIF ToolKit の使い方 3/8

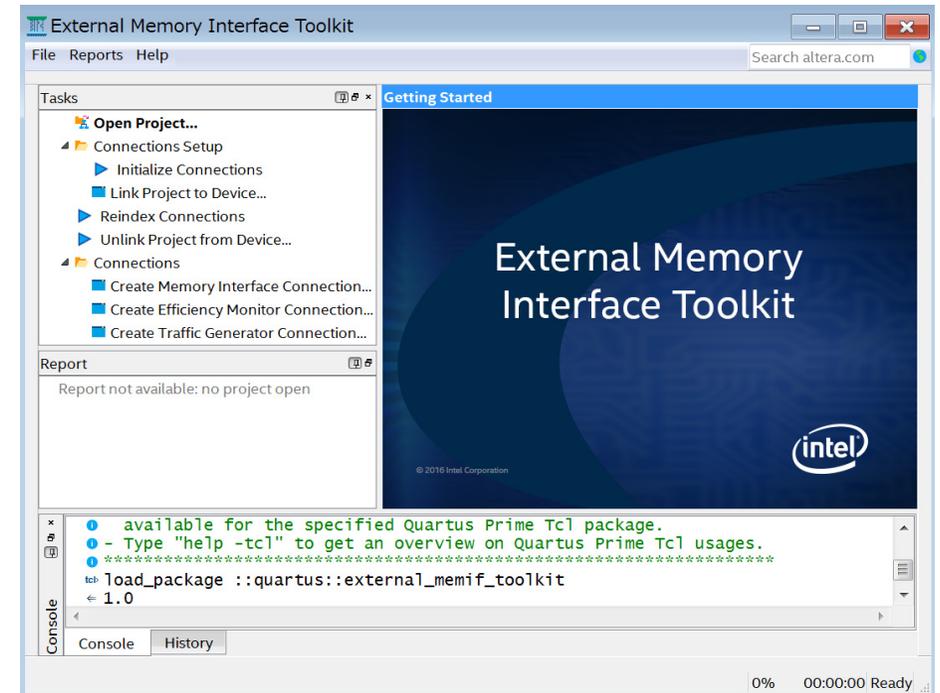
- EMIF ToolKit の実行フロー

- EMIF ToolKit の起動

- Quartus® Prime → Tools → System Debugging Tools → External Memory Interface Toolkit

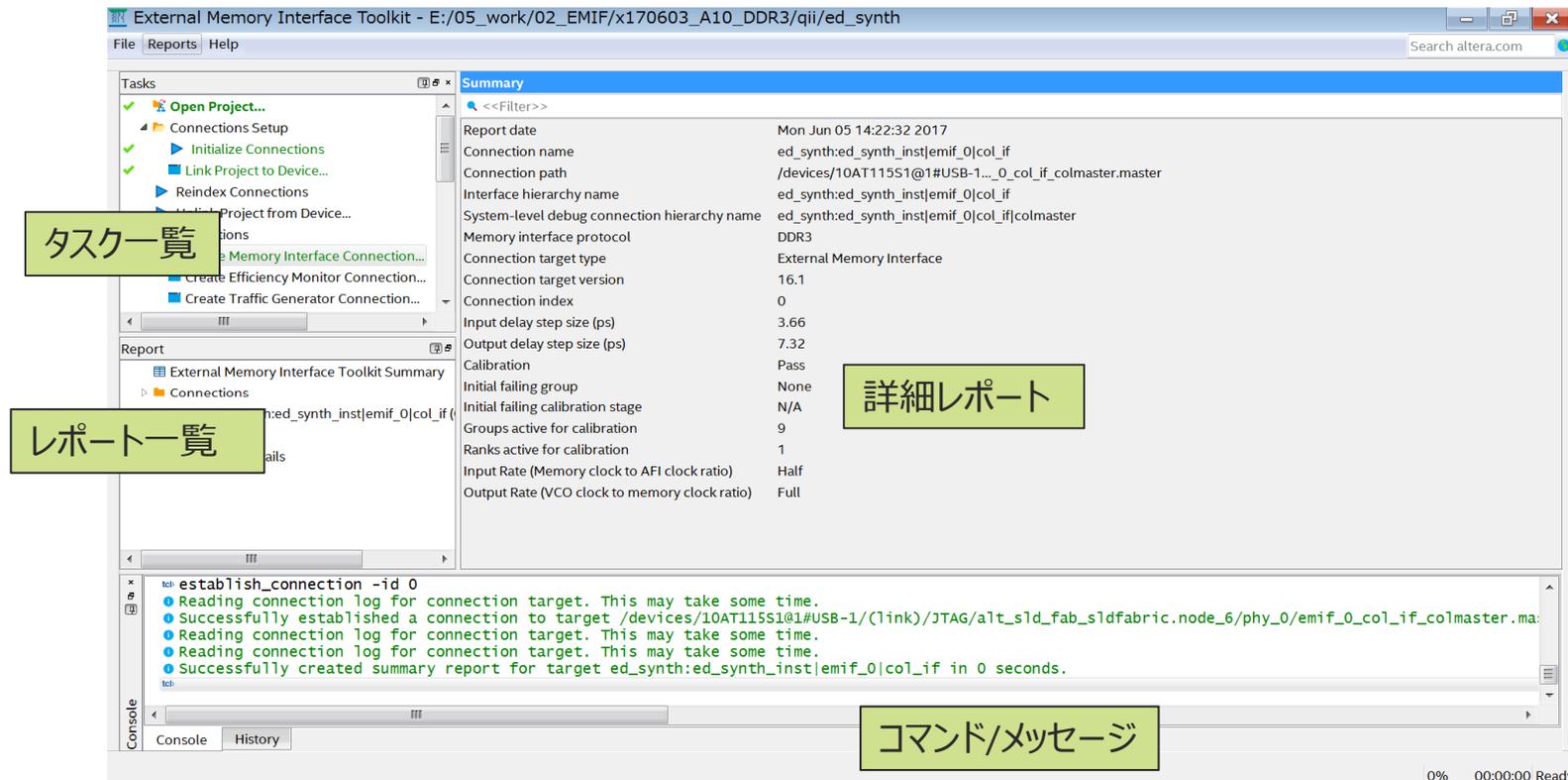


External Memory Interface Toolkit ウィンドウの起動後自動的にプロジェクトが開く



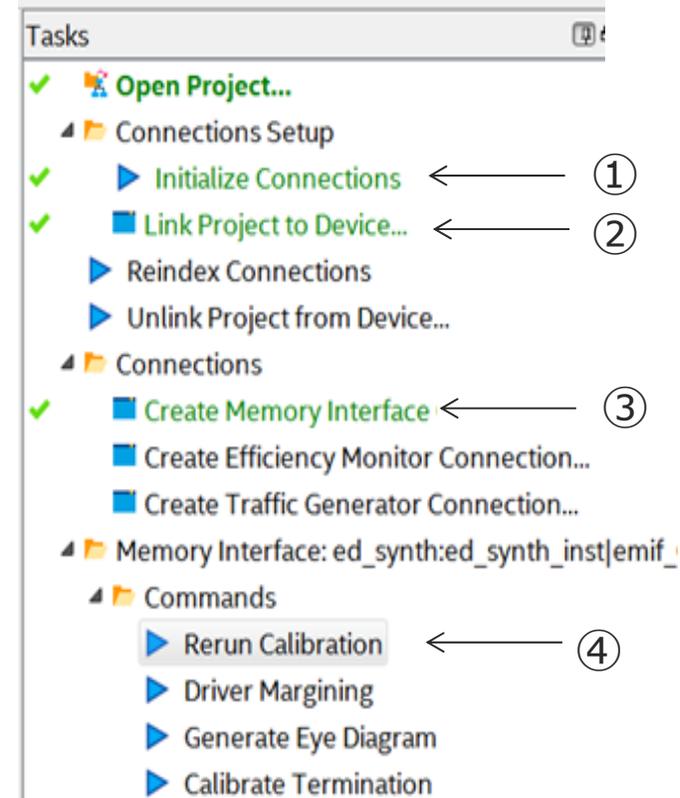
EMIF ToolKit の使い方 4/8

- EMIF ToolKit の実行フロー
 - EMIF ToolKit の GUI
 - Tasks ウィンドウでコマンド実行
 - レポートウィンドウにレポートが表示される



EMIF ToolKit の使い方 5/8

- EMIF ToolKit の実行フロー
 - ① : Initialize connections
 - ② : Link Project to Device
 - ③ : Create memory interfaces
 - ④ : Rerun Calibration



EMIF ToolKit の使い方 6/8

- EMIF ToolKit の実行フロー

- Create memory interfaces を実行するとキャリブレーションのサマリ情報を確認可能

External Memory Interface Toolkit - E:/05_work/02_EMIF/x170603_A10_DDR3/qii/ed_synth

File Reports Help

Tasks

- Open Project...
- Connections Setup
 - Initialize Connections
 - Link Project to Device...
 - Reindex Connections
 - Unlink Project from Device...
- Connections
 - Create Memory Interface Connection...

Report

- External Memory Interface Toolkit Summary
- Connections
- DDR3: ed_synth:ed_synth_inst|emif_0|col_if
 - Summary
 - Interface Details

Summary

Report date: Mon Jun 05 14:22:32 2017

Connection name: ed_synth:ed_synth_inst|emif_0|col_if

Connection path: /devices/10AT115S1@1#USB-1..._0_col_if_colmaster.master

Interface hierarchy name: ed_synth:ed_synth_inst|emif_0|col_if

System-level debug connection hierarchy name: ed_synth:ed_synth_inst|emif_0|col_if|colmaster

Memory interface protocol: DDR3

Connection target type: External Memory Interface

Connection target version: 16.1

Connection index: 0

Input delay step size (ps): 3.66

Output delay step size (ps): 7.32

Calibration: Pass

Initial failing group: None

Initial failing calibration stage: N/A

Groups active for calibration: 9

Ranks active for calibration: 1

Input Rate (Memory clock to AFI clock ratio): Half

Output Rate (VCO clock to memory clock ratio): Full

Calibration: Fail

Initial failing group: 2

Initial failing calibration stage: Read Calibration - Guaranteed read failure

Console

```
tecl establish_connection -id 0
● Reading connection log for connection target. This may take some time.
● Successfully established a connection to target /devices/10AT115S1@1#USB-1/(link)/JTAG/alt_sld_fab_sldfabric.node_6/phy_0/emif_0_col_if_colmaster.ma
● Reading connection log for connection target. This may take some time.
● Reading connection log for connection target. This may take some time.
● Successfully created summary report for target ed_synth:ed_synth_inst|emif_0|col_if in 0 seconds.
```

EMIF ToolKit の使い方 7/8

● EMIF ToolKit の実行フロー

- Rerun Calibration を実行すると詳細なキャリブレーション情報を確認可能

The screenshot displays the External Memory Interface Toolkit interface. The 'Tasks' pane on the left shows 'Rerun Calibration' selected. The 'Report' pane shows a 'Calibration Report' folder expanded, with sub-items 5 through 8 highlighted. The main window shows the 'Calibration Status Per Group' table, which indicates that all groups (0-8) passed calibration. Below this, four detailed calibration reports are shown: 5: DQ pin Margin, 6: Read Margin, 7: Write Margin, and 8: DQS pin Margin. Each report includes a table of observed margins for various pins and ranks.

Calibration Status Per Group

Group	Status	Error Stage
0	Pass	N/A
1	Pass	N/A
2	Pass	N/A
3	Pass	N/A
4	Pass	N/A
5	Pass	N/A
6	Pass	N/A
7	Pass	N/A
8	Pass	N/A

⑤ : DQ pin Margin

DQ Pin	Read Margin (ps)	DQ
0	-150 to 153	2
1	-128 to 128	8
2	-142 to 146	4
3	-146 to 146	9

⑥ : Read Margin

Name	Margin (ps)
Interface	468
Rank 0	468
DQS0	468
DQ0	468
DQ1	468

⑦ : Write Margin

Name	Margin (ps)
Interface	468
Rank 0	468
DQS0	468
DQ0	468
DQ1	468

⑧ : DQS pin Margin

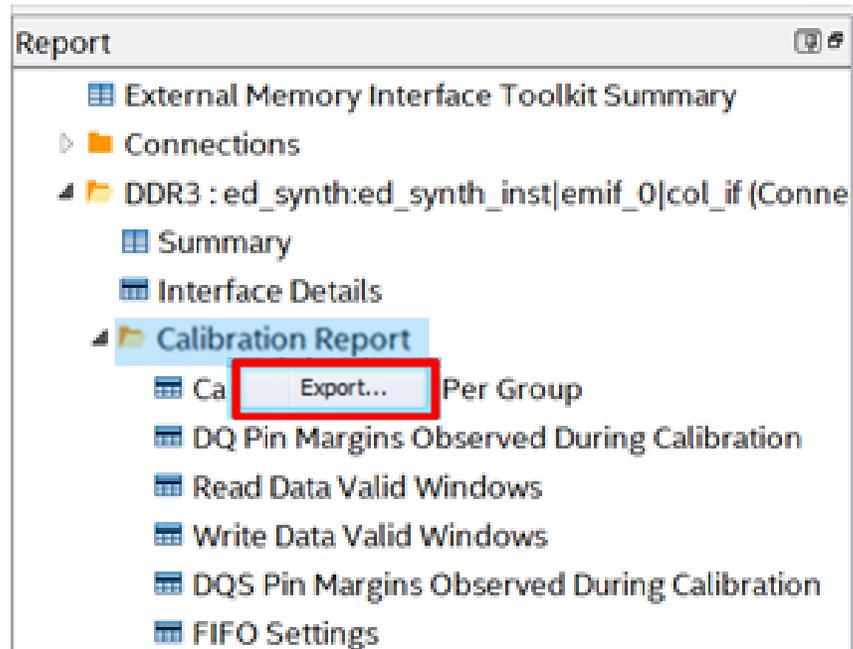
DQS Pin	DQS Read Margin (ps)	DQS Inp
0	-128 to 128	81
1	-142 to 142	77
2	-142 to 142	83
3	-131 to 131	89

EMIF ToolKit の使い方 8/8

- EMIF ToolKit の実行フロー

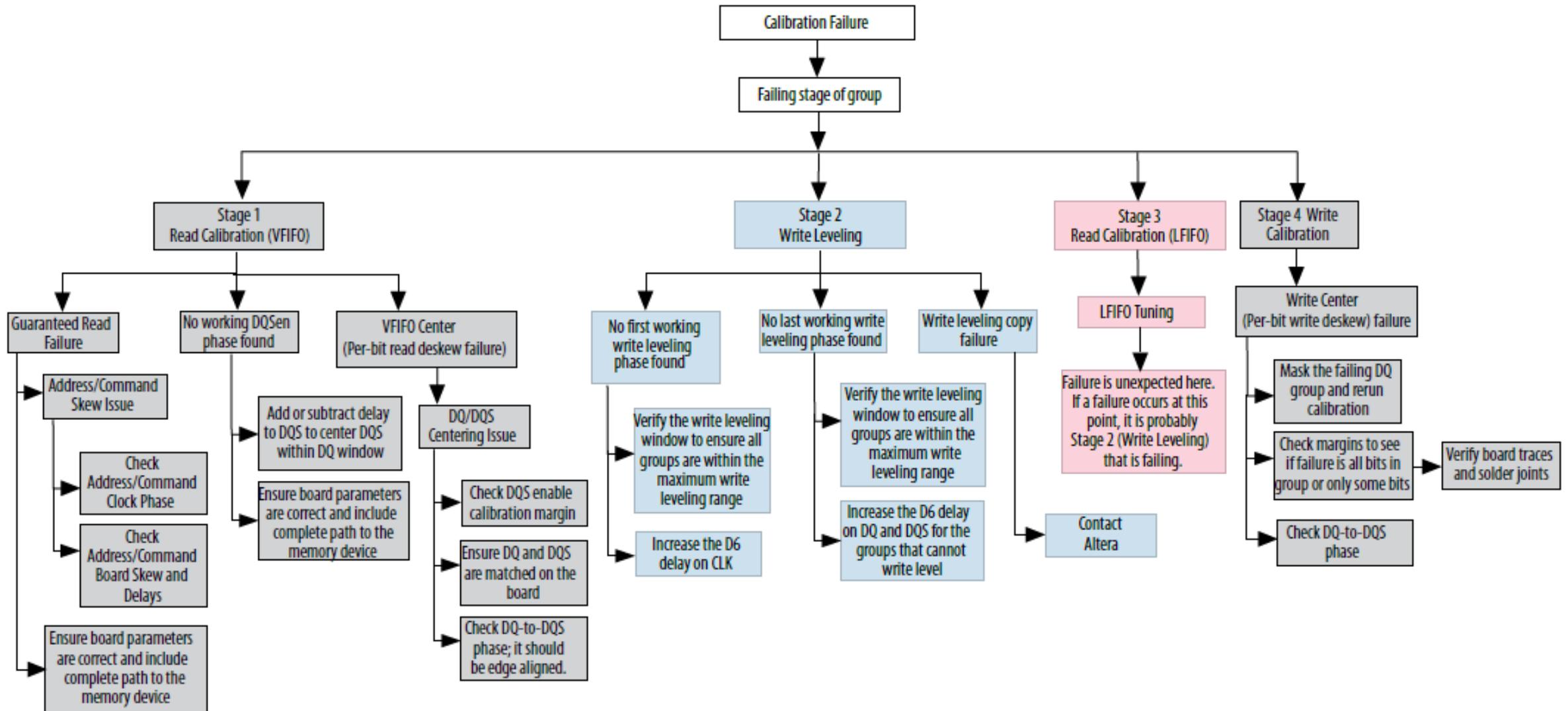
- EMIF ToolKit のレポートファイルの保存

- Report ウィンドウ内でレポート名を選択 → 右クリック → Export
- ファイル名を指定して保存

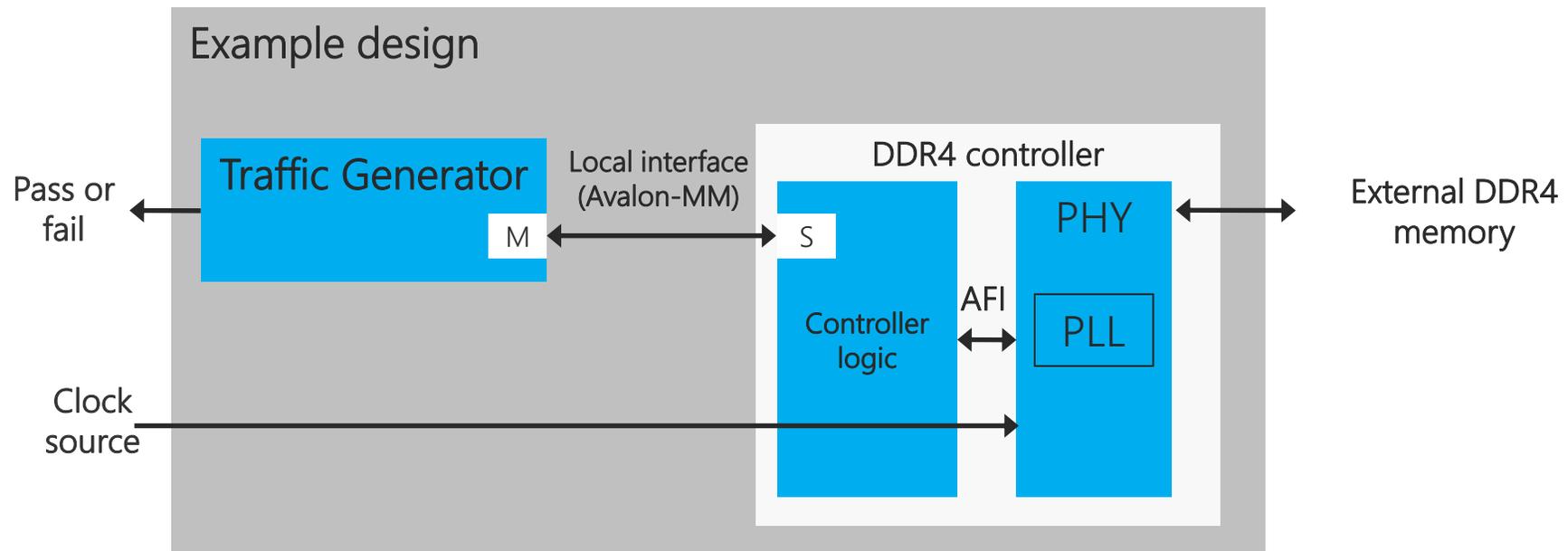


Interface Details	
Setting	Value
Row-address width	13
Bank-address width	3
Control width	1
Number of chip selects	1
Number of clock enables	1
Number of ODT signals	1
Total interface width	64
Data-mask width	8
Read DQS group size	8
Write DQS group size	8
Burst length	8
CAS latency	8
Rate	Half
DQ/DQS group size	8
DLL chain length	8
Number of ranks	1

Calibration Stage



Example Design の構成



改版履歴

Rev.	日付	概要
1.0	2017年7月	初版
1.1	2017年7月	ハイパーリンクの間違い修正
1.2	2017年9月	誤字修正
1.3	2018年2月	誤字修正、EMIF Spec Estimator のリンク修正
2.0	2018年12月	スライドサイズを16:9に変更, フォーマットを変更, 一部の英語表記をカタカナに変更, URL修正

弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万が一不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。



Thank you!