

Nios[®] II I2C スレーブの活用術 address stealing の使用方法

Ver.17.1

Nios® II – I2C スレーブの活用術 address stealing の使用方法

目次

1. はじめに	3
2. 適用条件	3
2-1. 対応バージョン	3
3. 仕様	3
3-1. 機能	3
3-2. I2C Slave の使い方	4
3-3. address stealing の機能	5
4. 参考資料	6
改版履歴	7

1. はじめに

Platform Designer には標準で I2C Slave to Avalon®-MM Master Bridge Core が準備されており、この IP コアを使用する事で、簡単にメモリに接続された I2C スレーブを FPGA 内に実装する事ができます。本資料では I2C Slave to Avalon-MM Master Bridge Core の address stealing 機能と On-Chip Memory (RAM and ROM) Core を使って、FPGA 内に I2C BUS EEPROM と同じ機能を実装する方法を紹介したものです。

2. 適用条件

2-1. 対応バージョン

本資料では、下記のツール、バージョンを使用しています。

- Intel® Quartus® Prime Standard Edition Version 17.1.0
- ※ 17.1 以前のバージョンでも同様の方法で実装することは可能ですが、一部の機能や操作方法が異なる場合がありますのでご注意ください。

3. 仕様

3-1. 機能

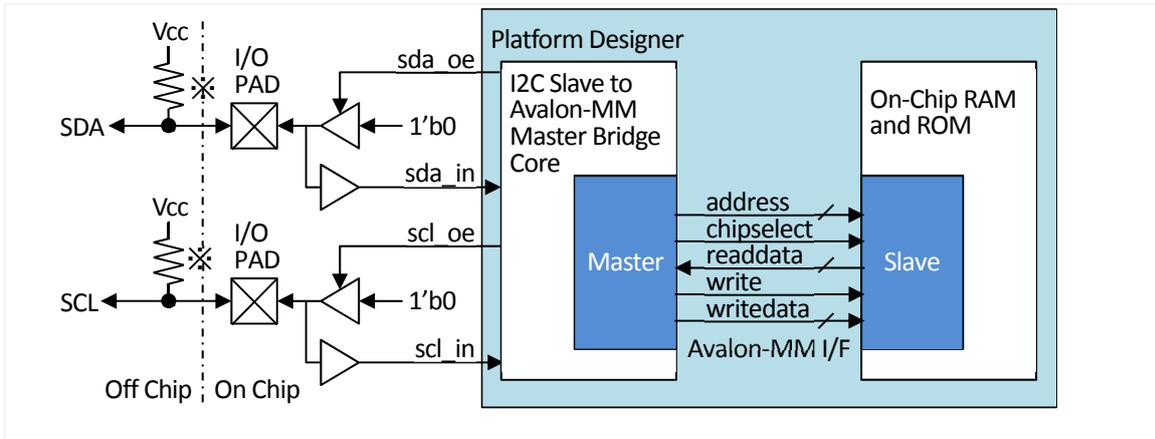
本資料では、I2C Slave to Avalon-MM Master Bridge Core (以降 I2C Slave)に On-Chip Memory (RAM and ROM) Core (以降 On-Chip RAM) を接続し、FPGA の外部からこの On-Chip RAM のデータを Read/Write する機能を実装します。

なお、I2C Slave は下記の機能を持っています。

- 最大 4-byte のアドレッシング・モード(最大 4G-byte のメモリ空間へのアクセスが可能)
- 最大 3-bit のデバイス・アドレスコード(address stealing)が可能(デバイス・アドレスコード使用時のデバイス・アドレスは 1010000b 固定となります)
- 7-bit デバイス・アドレス(10-bit デバイス・アドレスには対応していません)
- クロック・ストレッチに対応

3-2. I2C Slave の使い方

本実装で使用する IP コアは、I2C Slave および On-Chip RAM の 2 つで、Platform Designer 上で Avalon Memory Mapped Interface (Avalon-MM) で接続します。



※Pull-up 抵抗の代わりに、Quartus Prime の Assignment Editor で“Weak Pull-Up Resistor”を“On”に設定する事も可能です。

<input checked="" type="checkbox"/>		i2c_slave_sda	Weak Pull-Up Resistor	On	Yes			
<input checked="" type="checkbox"/>		i2c_slave_scl	Weak Pull-Up Resistor	On	Yes			

I/O ポートに接続する際の上記の回路を Verilog-HDL で記載した例です。

```

module top(
    input    clock,
    input    reset_n,
    inout    i2c_slave_sda,
    inout    i2c_slave_scl
);

wire scl_in;
wire sda_in;
wire scl_oe;
wire sda_oe;

assign scl_in = i2c_slave_scl;
assign sda_in = i2c_slave_sda;
assign i2c_slave_scl = (scl_oe)? 1'b0 : 1'bz;
assign i2c_slave_sda = (sda_oe)? 1'b0 : 1'bz;

pd_project.u0 (
    .clk_clk          (clock),
    .reset_reset_n   (reset_n),
    .i2c_slave_conduit_data_in (sda_in), // i2c_slave.conduit_data_in
    .i2c_slave_conduit_clk_in (scl_in),  // .conduit_clk_in
    .i2c_slave_conduit_data_oe (sda_oe), // .conduit_data_oe
    .i2c_slave_conduit_clk_oe (scl_oe)  // .conduit_clk_oe
);
endmodule

```

Platform Designer で接続した例です。

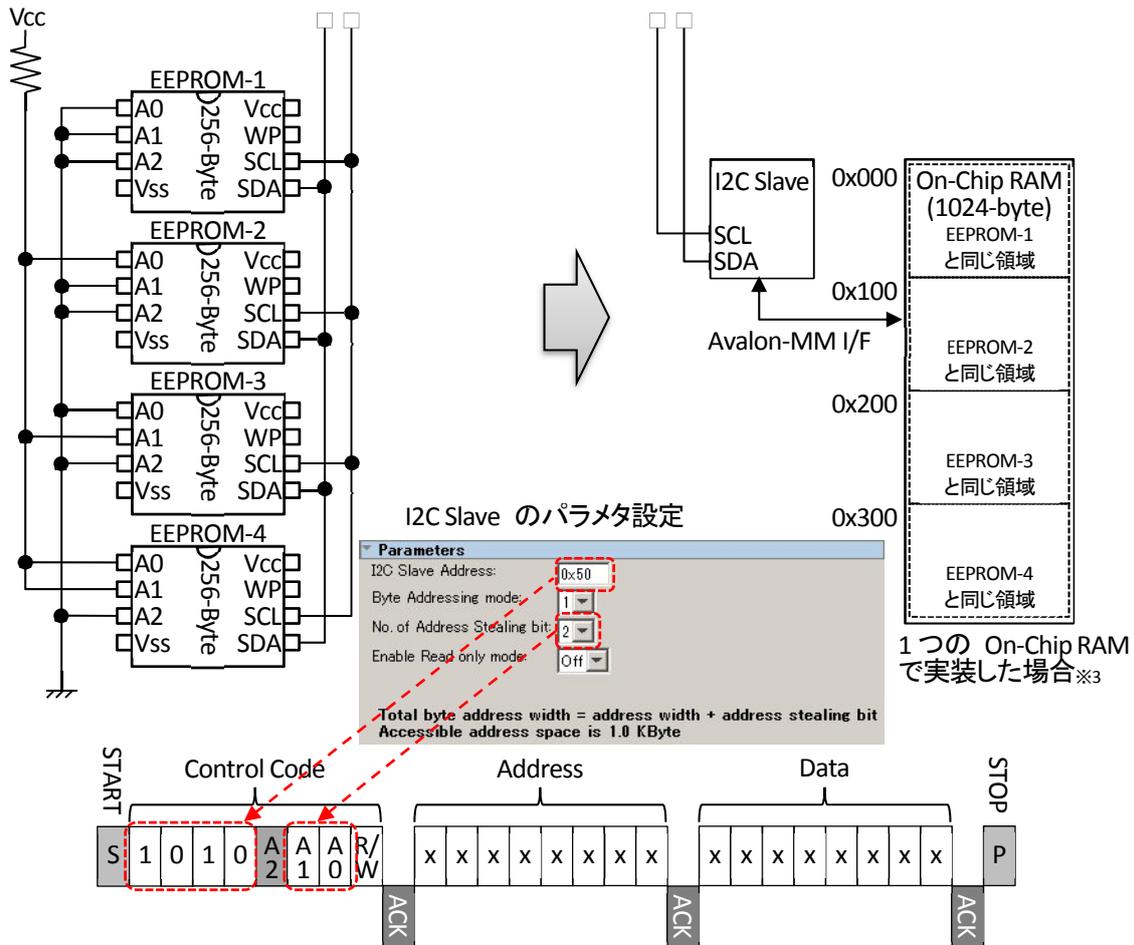
Use	Connections	Name	Description	Export	Clock	Base	End	IRQ
<input checked="" type="checkbox"/>		clk_0	Clock Source	clk	exported			
		clk_in	Clock Input	reset				
		clk_in_reset	Reset Input					
		clk	Clock Output	Double-click to export	clk_0			
		clk_reset	Reset Output	Double-click to export				
<input checked="" type="checkbox"/>		i2cslave_to_avlmm...	Altera I2C Slave To Avalon MM Mast...					
		clock	Clock Input	Double-click to export	clk_0			
		avalon_master	Avalon Memory Mapped Master	Double-click to export	[clock]			
		reset	Reset Input	Double-click to export	[clock]			
		conduit_end	Conduit					
		slave_mem	On-Chip Memory (RAM or ROM)					
		clk1	Clock Input	Double-click to export	clk_0			
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk1]	0x0000_0000	0x0000_00ff	
		reset1	Reset Input	Double-click to export	[clk1]			

3-3. address stealing の機能

I2C バスを持つ EEPROM ではチップアドレス(A0~A2)を持ち、同一バス上に最大 8 つのデバイスを接続する事が可能ですが、I2C Slave でも address stealing 機能※1を使用して、最大 3-bit のアドレス拡張により、仮想的に最大 8 つ※2、または 8 倍の容量の On-Chip RAM に対する Read/Write を行う事が可能です。

※1. デバイス・アドレスは 0x50 固定ですので、複数の I2C Slave を同一バス上に接続して address stealing 機能を使用できません。また、4-byte アドレス・モードでは address stealing 機能は使用できません。

※2. アドレス幅の混在は出来ませんので、同容量の EEPROM を接続した形態となります。



※3. On-Chip RAM 以外にも、外部 RAM や ROM 等との接続が可能です。ただし、I2C Slave の Avalon-MM Master ポートに接続されるスレーブ側のベース・アドレスは 0 を先頭としたアドレスを設定しなければなりません。また、一部を Read Only にしたい場合等で複数のメモリに接続する場合は I2C Slave の Avalon-MM Master ポートから見えるベース・アドレスは連続している必要があります。

4. 参考資料

- Embedded Peripherals IP User Guide
https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/ug/ug_embedded_ip.pdf
- インテル® FPGA の開発フロー／FPGA トップページ
<https://service.macnica.co.jp/library/109705>

改版履歴

Revision	年月	概要
1	2018年8月	初版

免責およびご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、本資料を入手されました下記代理店までご一報いただければ幸いです。
株式会社マクニカ アルティマ カンパニー <https://www.alt.macnica.co.jp/> 技術情報サイト アルティマ技術データベース <http://www.altima.jp/members/>
4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる際は、各メーカー発行の英語版の資料もあわせてご利用ください。