

DDR デザインガイドライン i.MX8/9編

株式会社マクニカ
Rev.1.0

Agenda

1. はじめに
2. DDRデザインフロー
3. DDR デバッグフロー
4. Appendix
 - 4-1. DDR Register Programming Aid
 - 4-2. DDR Tool
 - 4-3. DDR Stress Test
 - 4-4. ボードシミュレーション結果の確認項目
 - 4-5. i.MX 8/9シリーズと対応DRAM

1. はじめに

本資料の目的

- メモリーインタフェースの高速化に伴い、データバリッドウインドウの縮小や信号品質の悪化が課題として挙げられます
- 仕様要求を満たすための検証やデバッグに費やす時間が増加傾向にあるため、適切な手順でデバイス・ボードの設計をおこない、かつ、設計段階であらかじめデバッグするための手段を実装することが重要です
- 本資料はデザインフローとデバッグフローを示し、適切な手順で設計をおこなうことにより不具合混入を防ぐことと、デバッグに必要な仕組みを実装することにより速やかに問題を解決することを目的とします
- なお、本資料は i.MX 8/9 + DDR4, LPDDR4 を想定しています

◆ デザインフロー



UART や JTAG からなどデバッグモードに入れるか

メモリーデータシートを元に正しいパラメーターを入力したか

IO の Drive Strength など、ボードシミュレーションの結果を反映しているか

ストレスチェックテストで温度、電圧が変化しても通ることを確認したか

◆ 電源関連の確認事項

VDD_SNVS, NVCC_SNVS, VDD_SOC, VDD_ARM, VDD_DRAM, NVCC_DRAMの電圧を測定できるように設計したか

測定する電源は電圧調整できるように設計したか

◆ 波形関連の確認事項

マイコン側とメモリー側の各端子にできるだけ近い箇所に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が確認できるようにしたか

DQ/DQS グループごとに、DQS に対する DQ の Skew がワーストと2番目にワーストになる信号をオシロスコープで確認できるようにしたか

以下をオシロスコープで測定できるように設計したか

① マイコンの入力 CLK と Reset

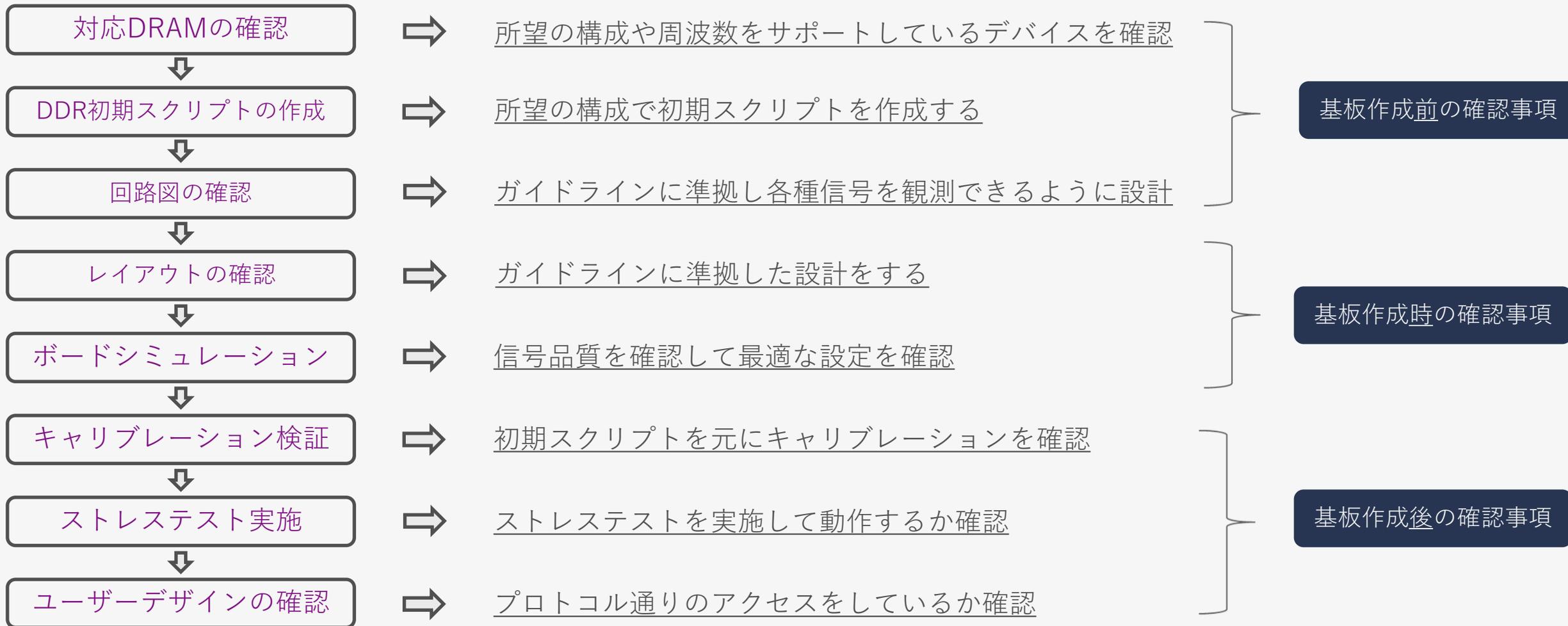
② メモリーの入力 CLK

オシロスコープで確認する信号をビア観測できるようにしたか (スルーホール推奨)

最低 5G 帯域のアクティブプローブのオシロスコープで波形を確認する

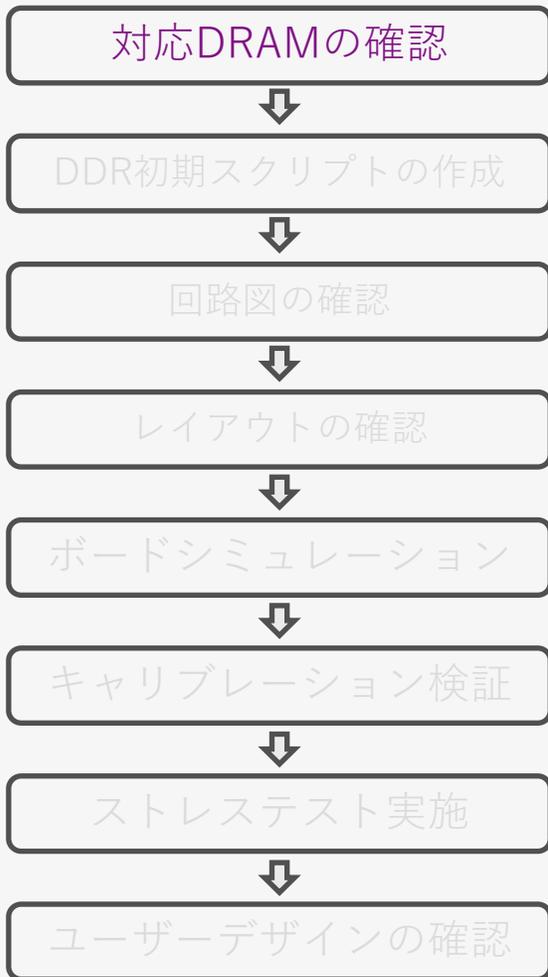
2. DDR デザインフロー

デザインフロー



デザインフロー：対応DRAMの確認

- 各デバイスのデータシートから対応する外部メモリーを確認する
 - [i.MX 8M Mini Applications Processor | NXP Semiconductors](#)
 - i.MX 8M Mini を例にした場合のURL



ドキュメント

クイック・リファレンス ドキュメンテーションの種類

- NXP (43)
- セキュアファイル①

絞り込み

- データ・シート
- リファレンス・マニュアル
- アプリケーション・ノート
- ユーザ・ガイド
- アプリケーション・ノート・ソフトウェア
- カタログ
- エラッタ
- ファクト・シート
- クイック・リファレンス・ガイド
- サポート情報

🔍 キーワードでフィルタ

1-5 / 43 ドキュメント

並び替え | 関連性 ▼

データ・シート

[i.MX 8M Mini Applications Processor Datasheet for Consumer Products](#)

PDF 改訂 2 Dec 2, 2022 2.7 MB IMX8MMCEC English 対応品番

データ・シート

[i.MX 8M Mini Applications Processor Datasheet for Industrial Products](#)

PDF 改訂 2 Dec 2, 2022 2.8 MB IMX8MMIEC English 対応品番

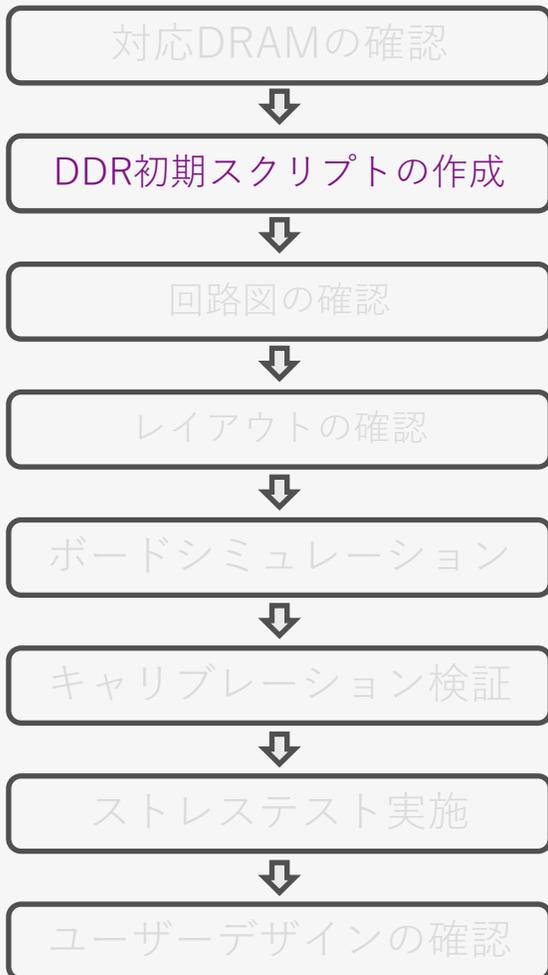
リファレンス・マニュアル

Subsystem	Features
External memory interface	32/16-bit DRAM interfaces: <ul style="list-style-type: none"> • LPDDR4 (up to 1.5 GHz) • DDR4-2400 • DDR3L-1600

デザインフロー：DDR初期スクリプトの作成

- DDR Register Programming Aid (RPA) を使用 (i.MX8シリーズのみ、i.MX9 は後述する [DDR Tool](#) で初期スクリプトの作成を行う)

- メモリーベンダのデータシートを用いて各種値を設定する
 - **正確にパラメーターを入力する**
 - 本資料の Appendix 「[DDR Register Programming Aid](#)」を参照



i.MX8MM (m845) DDR Controller Configuration Spreadsheet
This tool is configured to work with (enter board name):

Instructions	Legend																																										
Shaded cells may require updating per the DRAM memory data sheet parameters. Certain registers should not need to be modified by the user. If a register is not provided then it is assumed this parameter is not to be changed per the provided initialization script. Certain registers are provided though they may be noted as recommended to not change.	<p>On Register Configuration Tab, this color indicates the bitfields that would commonly require updating.</p> <p>On Register Configuration Tab, this color indicates the bitfields that may be updated, but should typically not require it.</p> <p>On Register Configuration Tab, this color indicates the bitfields that are updated automatically from settings provided in the "Device Information" table or other cells, and should not be changed manually.</p> <p>On Register Configuration Tab, an unshaded cell means that the value should remain as is and should not be modified. In these cases, the settings are provided for completeness.</p> <p>On other tabs, this color indicates the cells that are affected by changes on the Register Configuration tab.</p>																																										
<p>Device Information</p> <table border="1"> <thead> <tr> <th>Memory type</th> <th>LPDDR4</th> </tr> </thead> <tbody> <tr> <td>Manufacturer</td> <td>Micron</td> </tr> <tr> <td>Memory part number</td> <td>MTS3DS12M32Q02-053 WTD</td> </tr> <tr> <td>Density per channel/per chip select (Gb)¹</td> <td>8</td> </tr> <tr> <td>Number of Channels</td> <td>2</td> </tr> <tr> <td>Number of Chip Selects used²</td> <td>1</td> </tr> <tr> <td>Total DRAM density (Gb)</td> <td>16</td> </tr> <tr> <td>Number of ROW Addresses³</td> <td>16</td> </tr> <tr> <td>Number of COLUMN Addresses³</td> <td>16</td> </tr> <tr> <td>Number of BANK addresses³</td> <td>3</td> </tr> <tr> <td>Number of BANKS³</td> <td>8</td> </tr> <tr> <td>Bus Width</td> <td>32</td> </tr> <tr> <td>Clock Cycle Freq (MHz)</td> <td>1500</td> </tr> <tr> <td>Clock Cycle Time (ns)</td> <td>0.66666667</td> </tr> <tr> <td>FREQ1 setpoint Clock Cycle Freq (MHz)</td> <td>200</td> </tr> <tr> <td>FREQ1 Clock Cycle Time (ns)</td> <td>5</td> </tr> <tr> <td>FREQ2 setpoint Clock Cycle Freq (MHz)</td> <td>50</td> </tr> <tr> <td>FREQ2 Clock Cycle Time (ns)</td> <td>20</td> </tr> <tr> <td>DORCO Base Address (do not modify)</td> <td>30400000</td> </tr> <tr> <td>DORCO FREQ1 Base Address (do not modify)</td> <td>30400000</td> </tr> <tr> <td>DORCO FREQ2 Base Address (do not modify)</td> <td>30400000</td> </tr> </tbody> </table> <p>1. Important: It is necessary to populate this field with the density in Gb/s as it is used in later calculations. Input the density per channel per chip select. 2. Important: these fields need to be filled out correctly, as these values are used later in this tool for register settings.</p>	Memory type	LPDDR4	Manufacturer	Micron	Memory part number	MTS3DS12M32Q02-053 WTD	Density per channel/per chip select (Gb) ¹	8	Number of Channels	2	Number of Chip Selects used ²	1	Total DRAM density (Gb)	16	Number of ROW Addresses ³	16	Number of COLUMN Addresses ³	16	Number of BANK addresses ³	3	Number of BANKS ³	8	Bus Width	32	Clock Cycle Freq (MHz)	1500	Clock Cycle Time (ns)	0.66666667	FREQ1 setpoint Clock Cycle Freq (MHz)	200	FREQ1 Clock Cycle Time (ns)	5	FREQ2 setpoint Clock Cycle Freq (MHz)	50	FREQ2 Clock Cycle Time (ns)	20	DORCO Base Address (do not modify)	30400000	DORCO FREQ1 Base Address (do not modify)	30400000	DORCO FREQ2 Base Address (do not modify)	30400000	<p>17-row tRFC (DORC_BFSTMG_T_RFC_MIN) override option</p> <p>For 17-row devices, JEDEC specs tRFC of 380ns, however, some vendors allow for lower tRFC, which you can override here. Set the value to 0 to disable the override and use the default JEDEC-compliant density-based calculation of tRFC instead. Consult the datasheet of the memory vendor to see the allowed values for tRFC before setting this to a non-JEDEC value.</p> <p>0</p> <p>Number of frequency setpoints</p> <p>This setting allows the user to select the number of frequency setpoints to include for the Hardware Fast Frequency Change. Note: If FREQ1 is set to 0, then only 2 setpoints are allowed.</p> <p>3</p> <p>Enable/disable 2D training</p> <p>This setting allows user to enable (1) or disable (0) 2D training.</p> <p>ENABLED</p> <p>Enable/disable Shared ZQ resistor</p> <p>Enabled: Denotes that ZQ resistor is shared between ranks. Means ZQ#0#ZQ#1#ZQ#2#ZQ#3#ZQ#4#ZQ#5#ZQ#6#ZQ#7#ZQ#8#ZQ#9#ZQ#10#ZQ#11#ZQ#12#ZQ#13#ZQ#14#ZQ#15#ZQ#16#ZQ#17#ZQ#18#ZQ#19#ZQ#20#ZQ#21#ZQ#22#ZQ#23#ZQ#24#ZQ#25#ZQ#26#ZQ#27#ZQ#28#ZQ#29#ZQ#30#ZQ#31#ZQ#32#ZQ#33#ZQ#34#ZQ#35#ZQ#36#ZQ#37#ZQ#38#ZQ#39#ZQ#40#ZQ#41#ZQ#42#ZQ#43#ZQ#44#ZQ#45#ZQ#46#ZQ#47#ZQ#48#ZQ#49#ZQ#50#ZQ#51#ZQ#52#ZQ#53#ZQ#54#ZQ#55#ZQ#56#ZQ#57#ZQ#58#ZQ#59#ZQ#60#ZQ#61#ZQ#62#ZQ#63#ZQ#64#ZQ#65#ZQ#66#ZQ#67#ZQ#68#ZQ#69#ZQ#70#ZQ#71#ZQ#72#ZQ#73#ZQ#74#ZQ#75#ZQ#76#ZQ#77#ZQ#78#ZQ#79#ZQ#80#ZQ#81#ZQ#82#ZQ#83#ZQ#84#ZQ#85#ZQ#86#ZQ#87#ZQ#88#ZQ#89#ZQ#90#ZQ#91#ZQ#92#ZQ#93#ZQ#94#ZQ#95#ZQ#96#ZQ#97#ZQ#98#ZQ#99#ZQ#100#ZQ#101#ZQ#102#ZQ#103#ZQ#104#ZQ#105#ZQ#106#ZQ#107#ZQ#108#ZQ#109#ZQ#110#ZQ#111#ZQ#112#ZQ#113#ZQ#114#ZQ#115#ZQ#116#ZQ#117#ZQ#118#ZQ#119#ZQ#120#ZQ#121#ZQ#122#ZQ#123#ZQ#124#ZQ#125#ZQ#126#ZQ#127#ZQ#128#ZQ#129#ZQ#130#ZQ#131#ZQ#132#ZQ#133#ZQ#134#ZQ#135#ZQ#136#ZQ#137#ZQ#138#ZQ#139#ZQ#140#ZQ#141#ZQ#142#ZQ#143#ZQ#144#ZQ#145#ZQ#146#ZQ#147#ZQ#148#ZQ#149#ZQ#150#ZQ#151#ZQ#152#ZQ#153#ZQ#154#ZQ#155#ZQ#156#ZQ#157#ZQ#158#ZQ#159#ZQ#160#ZQ#161#ZQ#162#ZQ#163#ZQ#164#ZQ#165#ZQ#166#ZQ#167#ZQ#168#ZQ#169#ZQ#170#ZQ#171#ZQ#172#ZQ#173#ZQ#174#ZQ#175#ZQ#176#ZQ#177#ZQ#178#ZQ#179#ZQ#180#ZQ#181#ZQ#182#ZQ#183#ZQ#184#ZQ#185#ZQ#186#ZQ#187#ZQ#188#ZQ#189#ZQ#190#ZQ#191#ZQ#192#ZQ#193#ZQ#194#ZQ#195#ZQ#196#ZQ#197#ZQ#198#ZQ#199#ZQ#200#ZQ#201#ZQ#202#ZQ#203#ZQ#204#ZQ#205#ZQ#206#ZQ#207#ZQ#208#ZQ#209#ZQ#210#ZQ#211#ZQ#212#ZQ#213#ZQ#214#ZQ#215#ZQ#216#ZQ#217#ZQ#218#ZQ#219#ZQ#220#ZQ#221#ZQ#222#ZQ#223#ZQ#224#ZQ#225#ZQ#226#ZQ#227#ZQ#228#ZQ#229#ZQ#230#ZQ#231#ZQ#232#ZQ#233#ZQ#234#ZQ#235#ZQ#236#ZQ#237#ZQ#238#ZQ#239#ZQ#240#ZQ#241#ZQ#242#ZQ#243#ZQ#244#ZQ#245#ZQ#246#ZQ#247#ZQ#248#ZQ#249#ZQ#250#ZQ#251#ZQ#252#ZQ#253#ZQ#254#ZQ#255#ZQ#256#ZQ#257#ZQ#258#ZQ#259#ZQ#260#ZQ#261#ZQ#262#ZQ#263#ZQ#264#ZQ#265#ZQ#266#ZQ#267#ZQ#268#ZQ#269#ZQ#270#ZQ#271#ZQ#272#ZQ#273#ZQ#274#ZQ#275#ZQ#276#ZQ#277#ZQ#278#ZQ#279#ZQ#280#ZQ#281#ZQ#282#ZQ#283#ZQ#284#ZQ#285#ZQ#286#ZQ#287#ZQ#288#ZQ#289#ZQ#290#ZQ#291#ZQ#292#ZQ#293#ZQ#294#ZQ#295#ZQ#296#ZQ#297#ZQ#298#ZQ#299#ZQ#300#ZQ#301#ZQ#302#ZQ#303#ZQ#304#ZQ#305#ZQ#306#ZQ#307#ZQ#308#ZQ#309#ZQ#310#ZQ#311#ZQ#312#ZQ#313#ZQ#314#ZQ#315#ZQ#316#ZQ#317#ZQ#318#ZQ#319#ZQ#320#ZQ#321#ZQ#322#ZQ#323#ZQ#324#ZQ#325#ZQ#326#ZQ#327#ZQ#328#ZQ#329#ZQ#330#ZQ#331#ZQ#332#ZQ#333#ZQ#334#ZQ#335#ZQ#336#ZQ#337#ZQ#338#ZQ#339#ZQ#340#ZQ#341#ZQ#342#ZQ#343#ZQ#344#ZQ#345#ZQ#346#ZQ#347#ZQ#348#ZQ#349#ZQ#350#ZQ#351#ZQ#352#ZQ#353#ZQ#354#ZQ#355#ZQ#356#ZQ#357#ZQ#358#ZQ#359#ZQ#360#ZQ#361#ZQ#362#ZQ#363#ZQ#364#ZQ#365#ZQ#366#ZQ#367#ZQ#368#ZQ#369#ZQ#370#ZQ#371#ZQ#372#ZQ#373#ZQ#374#ZQ#375#ZQ#376#ZQ#377#ZQ#378#ZQ#379#ZQ#380#ZQ#381#ZQ#382#ZQ#383#ZQ#384#ZQ#385#ZQ#386#ZQ#387#ZQ#388#ZQ#389#ZQ#390#ZQ#391#ZQ#392#ZQ#393#ZQ#394#ZQ#395#ZQ#396#ZQ#397#ZQ#398#ZQ#399#ZQ#400#ZQ#401#ZQ#402#ZQ#403#ZQ#404#ZQ#405#ZQ#406#ZQ#407#ZQ#408#ZQ#409#ZQ#410#ZQ#411#ZQ#412#ZQ#413#ZQ#414#ZQ#415#ZQ#416#ZQ#417#ZQ#418#ZQ#419#ZQ#420#ZQ#421#ZQ#422#ZQ#423#ZQ#424#ZQ#425#ZQ#426#ZQ#427#ZQ#428#ZQ#429#ZQ#430#ZQ#431#ZQ#432#ZQ#433#ZQ#434#ZQ#435#ZQ#436#ZQ#437#ZQ#438#ZQ#439#ZQ#440#ZQ#441#ZQ#442#ZQ#443#ZQ#444#ZQ#445#ZQ#446#ZQ#447#ZQ#448#ZQ#449#ZQ#450#ZQ#451#ZQ#452#ZQ#453#ZQ#454#ZQ#455#ZQ#456#ZQ#457#ZQ#458#ZQ#459#ZQ#460#ZQ#461#ZQ#462#ZQ#463#ZQ#464#ZQ#465#ZQ#466#ZQ#467#ZQ#468#ZQ#469#ZQ#470#ZQ#471#ZQ#472#ZQ#473#ZQ#474#ZQ#475#ZQ#476#ZQ#477#ZQ#478#ZQ#479#ZQ#480#ZQ#481#ZQ#482#ZQ#483#ZQ#484#ZQ#485#ZQ#486#ZQ#487#ZQ#488#ZQ#489#ZQ#490#ZQ#491#ZQ#492#ZQ#493#ZQ#494#ZQ#495#ZQ#496#ZQ#497#ZQ#498#ZQ#499#ZQ#500#ZQ#501#ZQ#502#ZQ#503#ZQ#504#ZQ#505#ZQ#506#ZQ#507#ZQ#508#ZQ#509#ZQ#510#ZQ#511#ZQ#512#ZQ#513#ZQ#514#ZQ#515#ZQ#516#ZQ#517#ZQ#518#ZQ#519#ZQ#520#ZQ#521#ZQ#522#ZQ#523#ZQ#524#ZQ#525#ZQ#526#ZQ#527#ZQ#528#ZQ#529#ZQ#530#ZQ#531#ZQ#532#ZQ#533#ZQ#534#ZQ#535#ZQ#536#ZQ#537#ZQ#538#ZQ#539#ZQ#540#ZQ#541#ZQ#542#ZQ#543#ZQ#544#ZQ#545#ZQ#546#ZQ#547#ZQ#548#ZQ#549#ZQ#550#ZQ#551#ZQ#552#ZQ#553#ZQ#554#ZQ#555#ZQ#556#ZQ#557#ZQ#558#ZQ#559#ZQ#560#ZQ#561#ZQ#562#ZQ#563#ZQ#564#ZQ#565#ZQ#566#ZQ#567#ZQ#568#ZQ#569#ZQ#570#ZQ#571#ZQ#572#ZQ#573#ZQ#574#ZQ#575#ZQ#576#ZQ#577#ZQ#578#ZQ#579#ZQ#580#ZQ#581#ZQ#582#ZQ#583#ZQ#584#ZQ#585#ZQ#586#ZQ#587#ZQ#588#ZQ#589#ZQ#590#ZQ#591#ZQ#592#ZQ#593#ZQ#594#ZQ#595#ZQ#596#ZQ#597#ZQ#598#ZQ#599#ZQ#600#ZQ#601#ZQ#602#ZQ#603#ZQ#604#ZQ#605#ZQ#606#ZQ#607#ZQ#608#ZQ#609#ZQ#610#ZQ#611#ZQ#612#ZQ#613#ZQ#614#ZQ#615#ZQ#616#ZQ#617#ZQ#618#ZQ#619#ZQ#620#ZQ#621#ZQ#622#ZQ#623#ZQ#624#ZQ#625#ZQ#626#ZQ#627#ZQ#628#ZQ#629#ZQ#630#ZQ#631#ZQ#632#ZQ#633#ZQ#634#ZQ#635#ZQ#636#ZQ#637#ZQ#638#ZQ#639#ZQ#640#ZQ#641#ZQ#642#ZQ#643#ZQ#644#ZQ#645#ZQ#646#ZQ#647#ZQ#648#ZQ#649#ZQ#650#ZQ#651#ZQ#652#ZQ#653#ZQ#654#ZQ#655#ZQ#656#ZQ#657#ZQ#658#ZQ#659#ZQ#660#ZQ#661#ZQ#662#ZQ#663#ZQ#664#ZQ#665#ZQ#666#ZQ#667#ZQ#668#ZQ#669#ZQ#670#ZQ#671#ZQ#672#ZQ#673#ZQ#674#ZQ#675#ZQ#676#ZQ#677#ZQ#678#ZQ#679#ZQ#680#ZQ#681#ZQ#682#ZQ#683#ZQ#684#ZQ#685#ZQ#686#ZQ#687#ZQ#688#ZQ#689#ZQ#690#ZQ#691#ZQ#692#ZQ#693#ZQ#694#ZQ#695#ZQ#696#ZQ#697#ZQ#698#ZQ#699#ZQ#700#ZQ#701#ZQ#702#ZQ#703#ZQ#704#ZQ#705#ZQ#706#ZQ#707#ZQ#708#ZQ#709#ZQ#710#ZQ#711#ZQ#712#ZQ#713#ZQ#714#ZQ#715#ZQ#716#ZQ#717#ZQ#718#ZQ#719#ZQ#720#ZQ#721#ZQ#722#ZQ#723#ZQ#724#ZQ#725#ZQ#726#ZQ#727#ZQ#728#ZQ#729#ZQ#730#ZQ#731#ZQ#732#ZQ#733#ZQ#734#ZQ#735#ZQ#736#ZQ#737#ZQ#738#ZQ#739#ZQ#740#ZQ#741#ZQ#742#ZQ#743#ZQ#744#ZQ#745#ZQ#746#ZQ#747#ZQ#748#ZQ#749#ZQ#750#ZQ#751#ZQ#752#ZQ#753#ZQ#754#ZQ#755#ZQ#756#ZQ#757#ZQ#758#ZQ#759#ZQ#760#ZQ#761#ZQ#762#ZQ#763#ZQ#764#ZQ#765#ZQ#766#ZQ#767#ZQ#768#ZQ#769#ZQ#770#ZQ#771#ZQ#772#ZQ#773#ZQ#774#ZQ#775#ZQ#776#ZQ#777#ZQ#778#ZQ#779#ZQ#780#ZQ#781#ZQ#782#ZQ#783#ZQ#784#ZQ#785#ZQ#786#ZQ#787#ZQ#788#ZQ#789#ZQ#790#ZQ#791#ZQ#792#ZQ#793#ZQ#794#ZQ#795#ZQ#796#ZQ#797#ZQ#798#ZQ#799#ZQ#800#ZQ#801#ZQ#802#ZQ#803#ZQ#804#ZQ#805#ZQ#806#ZQ#807#ZQ#808#ZQ#809#ZQ#810#ZQ#811#ZQ#812#ZQ#813#ZQ#814#ZQ#815#ZQ#816#ZQ#817#ZQ#818#ZQ#819#ZQ#820#ZQ#821#ZQ#822#ZQ#823#ZQ#824#ZQ#825#ZQ#826#ZQ#827#ZQ#828#ZQ#829#ZQ#830#ZQ#831#ZQ#832#ZQ#833#ZQ#834#ZQ#835#ZQ#836#ZQ#837#ZQ#838#ZQ#839#ZQ#840#ZQ#841#ZQ#842#ZQ#843#ZQ#844#ZQ#845#ZQ#846#ZQ#847#ZQ#848#ZQ#849#ZQ#850#ZQ#851#ZQ#852#ZQ#853#ZQ#854#ZQ#855#ZQ#856#ZQ#857#ZQ#858#ZQ#859#ZQ#860#ZQ#861#ZQ#862#ZQ#863#ZQ#864#ZQ#865#ZQ#866#ZQ#867#ZQ#868#ZQ#869#ZQ#870#ZQ#871#ZQ#872#ZQ#873#ZQ#874#ZQ#875#ZQ#876#ZQ#877#ZQ#878#ZQ#879#ZQ#880#ZQ#881#ZQ#882#ZQ#883#ZQ#884#ZQ#885#ZQ#886#ZQ#887#ZQ#888#ZQ#889#ZQ#890#ZQ#891#ZQ#892#ZQ#893#ZQ#894#ZQ#895#ZQ#896#ZQ#897#ZQ#898#ZQ#899#ZQ#900#ZQ#901#ZQ#902#ZQ#903#ZQ#904#ZQ#905#ZQ#906#ZQ#907#ZQ#908#ZQ#909#ZQ#910#ZQ#911#ZQ#912#ZQ#913#ZQ#914#ZQ#915#ZQ#916#ZQ#917#ZQ#918#ZQ#919#ZQ#920#ZQ#921#ZQ#922#ZQ#923#ZQ#924#ZQ#925#ZQ#926#ZQ#927#ZQ#928#ZQ#929#ZQ#930#ZQ#931#ZQ#932#ZQ#933#ZQ#934#ZQ#935#ZQ#936#ZQ#937#ZQ#938#ZQ#939#ZQ#940#ZQ#941#ZQ#942#ZQ#943#ZQ#944#ZQ#945#ZQ#946#ZQ#947#ZQ#948#ZQ#949#ZQ#950#ZQ#951#ZQ#952#ZQ#953#ZQ#954#ZQ#955#ZQ#956#ZQ#957#ZQ#958#ZQ#959#ZQ#960#ZQ#961#ZQ#962#ZQ#963#ZQ#964#ZQ#965#ZQ#966#ZQ#967#ZQ#968#ZQ#969#ZQ#970#ZQ#971#ZQ#972#ZQ#973#ZQ#974#ZQ#975#ZQ#976#ZQ#977#ZQ#978#ZQ#979#ZQ#980#ZQ#981#ZQ#982#ZQ#983#ZQ#984#ZQ#985#ZQ#986#ZQ#987#ZQ#988#ZQ#989#ZQ#990#ZQ#991#ZQ#992#ZQ#993#ZQ#994#ZQ#995#ZQ#996#ZQ#997#ZQ#998#ZQ#999#ZQ#1000#ZQ#1001#ZQ#1002#ZQ#1003#ZQ#1004#ZQ#1005#ZQ#1006#ZQ#1007#ZQ#1008#ZQ#1009#ZQ#1010#ZQ#1011#ZQ#1012#ZQ#1013#ZQ#1014#ZQ#1015#ZQ#1016#ZQ#1017#ZQ#1018#ZQ#1019#ZQ#1020#ZQ#1021#ZQ#1022#ZQ#1023#ZQ#1024#ZQ#1025#ZQ#1026#ZQ#1027#ZQ#1028#ZQ#1029#ZQ#1030#ZQ#1031#ZQ#1032#ZQ#1033#ZQ#1034#ZQ#1035#ZQ#1036#ZQ#1037#ZQ#1038#ZQ#1039#ZQ#1040#ZQ#1041#ZQ#1042#ZQ#1043#ZQ#1044#ZQ#1045#ZQ#1046#ZQ#1047#ZQ#1048#ZQ#1049#ZQ#1050#ZQ#1051#ZQ#1052#ZQ#1053#ZQ#1054#ZQ#1055#ZQ#1056#ZQ#1057#ZQ#1058#ZQ#1059#ZQ#1060#ZQ#1061#ZQ#1062#ZQ#1063#ZQ#1064#ZQ#1065#ZQ#1066#ZQ#1067#ZQ#1068#ZQ#1069#ZQ#1070#ZQ#1071#ZQ#1072#ZQ#1073#ZQ#1074#ZQ#1075#ZQ#1076#ZQ#1077#ZQ#1078#ZQ#1079#ZQ#1080#ZQ#1081#ZQ#1082#ZQ#1083#ZQ#1084#ZQ#1085#ZQ#1086#ZQ#1087#ZQ#1088#ZQ#1089#ZQ#1090#ZQ#1091#ZQ#1092#ZQ#1093#ZQ#1094#ZQ#1095#ZQ#1096#ZQ#1097#ZQ#1098#ZQ#1099#ZQ#1100#ZQ#1101#ZQ#1102#ZQ#1103#ZQ#1104#ZQ#1105#ZQ#1106#ZQ#1107#ZQ#1108#ZQ#1109#ZQ#1110#ZQ#1111#ZQ#1112#ZQ#1113#ZQ#1114#ZQ#1115#ZQ#1116#ZQ#1117#ZQ#1118#ZQ#1119#ZQ#1120#ZQ#1121#ZQ#1122#ZQ#1123#ZQ#1124#ZQ#1125#ZQ#1126#ZQ#1127#ZQ#1128#ZQ#1129#ZQ#1130#ZQ#1131#ZQ#1132#ZQ#1133#ZQ#1134#ZQ#1135#ZQ#1136#ZQ#1137#ZQ#1138#ZQ#1139#ZQ#1140#ZQ#1141#ZQ#1142#ZQ#1143#ZQ#1144#ZQ#1145#ZQ#1146#ZQ#1147#ZQ#1148#ZQ#1149#ZQ#1150#ZQ#1151#ZQ#1152#ZQ#1153#ZQ#1154#ZQ#1155#ZQ#1156#ZQ#1157#ZQ#1158#ZQ#1159#ZQ#1160#ZQ#1161#ZQ#1162#ZQ#1163#ZQ#1164#ZQ#1165#ZQ#1166#ZQ#1167#ZQ#1168#ZQ#1169#ZQ#1170#ZQ#1171#ZQ#1172#ZQ#1173#ZQ#1174#ZQ#1175#ZQ#1176#ZQ#1177#ZQ#1178#ZQ#1179#ZQ#1180#ZQ#1181#ZQ#1182#ZQ#1183#ZQ#1184#ZQ#1185#ZQ#1186#ZQ#1187#ZQ#1188#ZQ#1189#ZQ#1190#ZQ#1191#ZQ#1192#ZQ#1193#ZQ#1194#ZQ#1195#ZQ#1196#ZQ#1197#ZQ#1198#ZQ#1199#ZQ#1200#ZQ#1201#ZQ#1202#ZQ#1203#ZQ#1204#ZQ#1205#ZQ#1206#ZQ#1207#ZQ#1208#ZQ#1209#ZQ#1210#ZQ#1211#ZQ#1212#ZQ#1213#ZQ#1214#ZQ#1215#ZQ#1216#ZQ#1217#ZQ#1218#ZQ#1219#ZQ#1220#ZQ#1221#ZQ#1222#ZQ#1223#ZQ#1224#ZQ#1225#ZQ#1226#ZQ#1227#ZQ#1228#ZQ#1229#ZQ#1230#ZQ#1231#ZQ#1232#ZQ#1233#ZQ#1234#ZQ#1235#ZQ#1236#ZQ#1237#ZQ#1238#ZQ#1239#ZQ#1240#ZQ#1241#ZQ#1242#ZQ#1243#ZQ#1244#ZQ#1245#ZQ#1246#ZQ#1247#ZQ#1248#ZQ#1249#ZQ#1250#ZQ#1251#ZQ#1252#ZQ#1253#ZQ#1254#ZQ#1255#ZQ#1256#ZQ#1257#ZQ#1258#ZQ#1259#ZQ#1260#ZQ#1261#ZQ#1262#ZQ#1263#ZQ#1264#ZQ#1265#ZQ#1266#ZQ#1267#ZQ#1268#ZQ#1269#ZQ#1270#ZQ#1271#ZQ#1272#ZQ#1273#ZQ#1274#ZQ#1275#ZQ#1276#ZQ#1277#ZQ#1278#ZQ#1279#ZQ#1280#ZQ#1281#ZQ#1282#ZQ#1283#ZQ#1284#ZQ#1285#ZQ#1286#ZQ#1287#ZQ#1288#ZQ#1289#ZQ#1290#ZQ#1291#ZQ#1292#ZQ#1293#ZQ#1294#ZQ#1295#ZQ#1296#ZQ#1297#ZQ#1298#ZQ#1299#ZQ#1300#ZQ#1301#ZQ#1302#ZQ#1303#ZQ#1304#ZQ#1305#ZQ#1306#ZQ#1307#ZQ#1308#ZQ#1309#ZQ#1310#ZQ#1311#ZQ#1312#ZQ#1313#ZQ#1314#ZQ#1315#ZQ#1316#ZQ#1317#ZQ#1318#ZQ#1319#ZQ#1320#ZQ#1321#ZQ#1322#ZQ#1323#ZQ#1324#ZQ#1325#ZQ#1326#ZQ#1327#ZQ#1328#ZQ#1329#ZQ#1330#ZQ#1331#ZQ#1332#ZQ#1333#ZQ#1334#ZQ#1335#ZQ#1336#ZQ#1337#ZQ#1338#ZQ#1339#ZQ#1340#ZQ#1341#ZQ#1342#ZQ#1343#ZQ#1344#ZQ#1345#ZQ#1346#ZQ#1347#ZQ#1348#ZQ#1349#ZQ#1350#ZQ#1351#ZQ#1352#ZQ#1353#ZQ#1354#ZQ#1355#ZQ#1356#ZQ#1357#ZQ#1358#ZQ#1359#ZQ#1360#ZQ#1361#ZQ#1362#ZQ#1363#ZQ#1364#ZQ#1365#ZQ#1366#ZQ#1367#ZQ#1368#ZQ#1369#ZQ#1370#ZQ#1371#ZQ#1372#ZQ#1373#ZQ#1374#ZQ#1375#ZQ#1376#ZQ#1377#ZQ#1378#ZQ#1379#ZQ#1380#ZQ#1381#ZQ#1382#ZQ#1383#ZQ#1384#ZQ#1385#ZQ#1386#ZQ#1387#ZQ#1388#ZQ#1389#ZQ#1390#ZQ#1391#ZQ#1392#ZQ#1393#ZQ#1394#ZQ#1395#ZQ#1396#ZQ#1397#ZQ#1398#ZQ#1399#ZQ#1400#ZQ#1401#ZQ#1402#ZQ#1403#ZQ#1404#ZQ#1405#ZQ#1406#ZQ#1407#ZQ#1408#ZQ#1409#ZQ#1410#ZQ#1411#ZQ#1412#ZQ#1413#ZQ#1414#ZQ#1415#ZQ#1416#ZQ#1417#ZQ#1418#ZQ#1419#ZQ#1420#ZQ#1421#ZQ#1422#ZQ#1423#ZQ#1424#ZQ#1425#ZQ#1426#ZQ#1427#ZQ#1428#ZQ#1429#ZQ#1430#ZQ#1431#ZQ#1432#ZQ#1433#ZQ#1434#ZQ#1435#ZQ#1436#ZQ#1437#ZQ#1438#ZQ#1439#ZQ#1440#ZQ#1441#ZQ#1442#ZQ#1443#ZQ#1444#ZQ#1445#ZQ#1446#ZQ#1447#ZQ#1448#ZQ#1449#ZQ#1450#ZQ#1451#ZQ#1452#ZQ#1453#ZQ#1454#ZQ#14</p>
Memory type	LPDDR4																																										
Manufacturer	Micron																																										
Memory part number	MTS3DS12M32Q02-053 WTD																																										
Density per channel/per chip select (Gb) ¹	8																																										
Number of Channels	2																																										
Number of Chip Selects used ²	1																																										
Total DRAM density (Gb)	16																																										
Number of ROW Addresses ³	16																																										
Number of COLUMN Addresses ³	16																																										
Number of BANK addresses ³	3																																										
Number of BANKS ³	8																																										
Bus Width	32																																										
Clock Cycle Freq (MHz)	1500																																										
Clock Cycle Time (ns)	0.66666667																																										
FREQ1 setpoint Clock Cycle Freq (MHz)	200																																										
FREQ1 Clock Cycle Time (ns)	5																																										
FREQ2 setpoint Clock Cycle Freq (MHz)	50																																										
FREQ2 Clock Cycle Time (ns)	20																																										
DORCO Base Address (do not modify)	30400000																																										
DORCO FREQ1 Base Address (do not modify)	30400000																																										
DORCO FREQ2 Base Address (do not modify)	30400000																																										

デザインフロー：回路図の確認 (1/4)



- 各プロセッサの“Hardware Developer’s Guide”を元に回路図の設計をおこなう
 - “Hardware Developer’s Guide”のを見つけ方：i.MX 8M Mini の場合
 - ① [i.MX 8M Mini ページ](#)の「ドキュメント」をクリック
 - ② フィルターに“developer”と入力
 - ③ “… Hardware Developer’s Guide”をクリック

The screenshot shows the NXP website for the i.MX 8M Mini. The 'Documents' tab is highlighted with a red circle and the number 1. A search filter 'developer' is entered in the search bar, also highlighted with a red circle and the number 2. The search results show a list of documents, with 'i.MX 8M Mini Hardware Developer's Guide' highlighted with a red circle and the number 3.

- “Hardware Developer’s Guide”が無い場合は同等のデバイスファミリーを参照する

デザインフロー：回路図の確認 (2/4)



- “Hardware Developer’s Guide” でDDRに関連する主な項目

- “Design Checklist” の章を確認する

- i.MX 8M Mini の場合：2. i.MX 8M Mini Design Checklist
 - Table 3. LPDDR4 recommendations
 - Table 4. DDR4/DDR3L recommendations

- 評価ボードの回路図を参考にする

- “評価ボード”の資料のを見つけ方：i.MX 8M Mini の場合

- ① [i.MX 8M Mini ページ](#)の「設計・リソース」をクリック

- ② 少しスクロールして「Hardware」の欄で“Evaluation Kit …”をクリック

NXP i.MX 8M Mini - Arm® Cortex®-A53、Cortex-M4搭載、オーディオ、音声、ビデオ向け

概要 製品詳細 ドキュメント **設計・リソース** トレーニング サポート

購入/パラメータ パッケージ/品

ハードウェア

NXP (6)
 パートナー (68)

絞り込み

開発ボード/設計

評価・開発ボード

キーワードでフィルタ

1-5 の 6 ハードウェア提供

並び替え | 関連性

② 評価・開発ボード

i.MX 8M Miniアプリケーション・プロセッサ向け評価キット 注目

8MMINILPD4-EVK

デザインフロー：回路図の確認 (3/4)



- プロセッサやメモリの種類ごとに処理方法が変わるので注意する
(回路図の流用時は特に注意する)
 - VREF の処理方法
 - DLL-off Mode のサポートする/しない
 - フライバイ配線とバランスド配線(T配線)のデバイス対応の確認
 - 終端処理の方法が曖昧な場合は0Ω抵抗でプルアップ/プルダウン可能な状態にしておく
- 電源電圧を確認できるように設計
 - VDD SNVS, NVCC SNVS, VDD SOC, VDD ARM, VDD DRAM, NVCC DRAMの電圧を測定できるように設計
 - i.MX直下の電源ピン (VIAでのスルーホール)
 - 動作中に電圧許容範囲内であることを確認
- 各種信号をオシロスコープで確認できるよう設計
 - プロセッサとメモリ側の各端子の直近に測定ポイントを設け、Add/Cmd, DQ/DQS の波形が確認できるようにする
 - DQ/DQS グループごとに、DQS に対する DQ の Skew がワーストの信号を確認できるようにする
 - DQ/DQS グループごとに、DQS に対する DQ の Skew が2番目にワーストになる信号を確認できるようにする
 - VIA でのスルーホール

デザインフロー：回路図の確認 (3/3)



- 以下の点に気を付ける

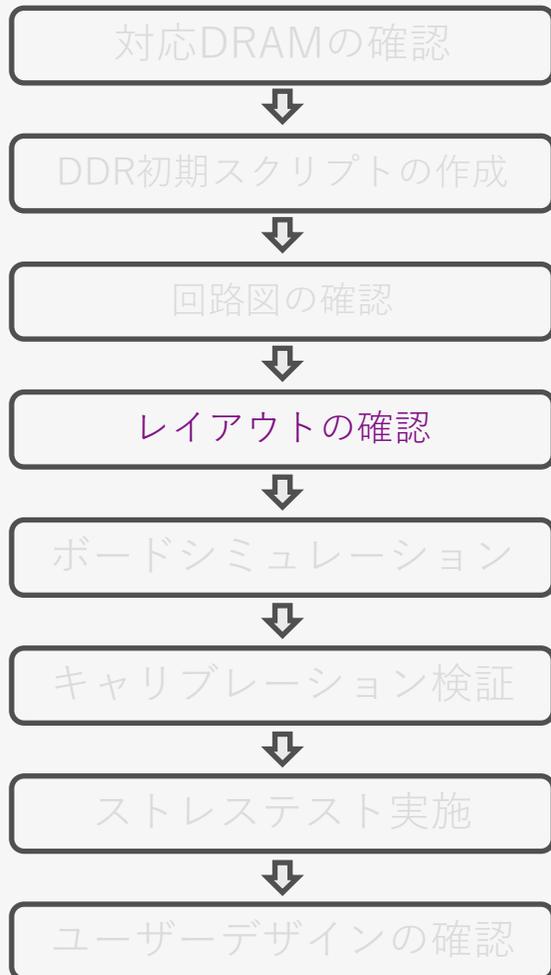
1. プロセッサのDRAM_ZNボールを240Ω、1%抵抗でGNDに接続する
2. LPDDR4デバイスのZQ0およびZQ1ボールは、240Ω、1%抵抗を介してLPDDR4 VDD2レールに接続する
3. DRAM_RESETは10KΩ抵抗(5%精度)を介してGNDにプルダウンする
4. MTEST は未接続
5. LPDDR4デバイスのODT_CAボールは LPDDR4 VDD2レールに直接接続する
 - i.MX 8M MiniのLPDDR4 ODTはコマンドベースであるためプロセッサのODT_CA出力ボールは不要
6. DRAMパッケージ内の各チップのアーキテクチャはx 16 構成が必要
 - プロセッサがJESD209-4Bで規定されたバイトモードをサポートしていないため

デザインフロー：レイアウトの確認 (1/2)



- 各プロセッサの“Hardware Developer’s Guide”を元にレイアウトの設計をおこなう
 (“Hardware Developer’s Guide”の入手方法は[回路図](#)の時と同じ)
 - i.MX 8M Mini の場合
 - 3.4.2 LPDDR4-3000 design recommendations
 - 3.4.3 i.MX 8M Mini DDR4-2400 design recommendations
 - 3.4.4 i.MX 8M Mini DDR3L-1600 design recommendations
- レイアウト確認例
 1. トレースクロストークを最小限に抑えるために、高速信号トレースのエッジ間の間隔をトレース幅の二倍以上にする
 2. CLKやDQSの信号は、DQ/CA信号とは別のレイヤーに配線する。このとき他の信号とのトレース幅の間隔は5倍以上空ける
- 可能な限りレイアウトガイドラインよりもマージンを持って設計することを推奨

デザインフロー：レイアウトの確認 (2/2)



- 高速伝送デザインの考察
 - [AN12298: High frequency design considerations](#)
- DDR4 SDRAM に関するデザインの考察
 - AN5097: [Hardware and Layout Design Considerations for DDR4 SDRAM Memory Interfaces](#)
- 評価ボードのレイアウトを参考にする
 - 評価ボード資料の見つけ方は[回路図](#)と同じ
- **最後に“Hardware Developer’s Guide”の“Avoiding Board Bring-up Problems”を参考に何か問題があったときの対処方法がなされているか確認する**
 - 4. Avoiding Board Bring-up Problems
 - 主に問題となる3つの要素(電源、クロック、リセット)に関して対処方法が記載されている

デザインフロー：ボードシミュレーション (1/3)

● 信号品質の確認

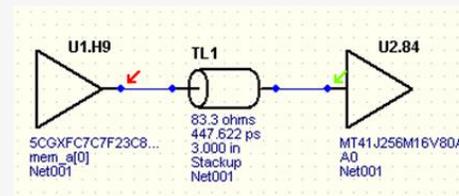
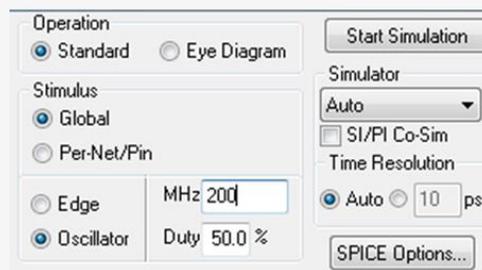
- IBISファイルを用いてボードシミュレーションをおこなう
- IBISファイルのを見つけ方：i.MX 8M Mini の場合
 - ① [i.MX 8M Mini ページ](#)の「設計・リソース」から
 - ② フィルターに“IBIS”と入力
 - ③ “... IBIS ...”の「DOWNLOAD」をクリック
 - サインインが必要です

The screenshot shows the NXP website page for i.MX 8M Mini. The page title is "i.MX 8M Mini - Arm® Cortex®-A53, Cortex-M4搭載、オーディオ、音声、ビデオ向け". The navigation menu includes "概要", "製品詳細", "ドキュメント", "設計・リソース", "トレーニング", and "サポート". The "設計・リソース" section is active, showing a search filter for "IBIS" and a list of design files. The first file is "i.MX 8M Mini IBIS Model" with a "ダウンロード" button.

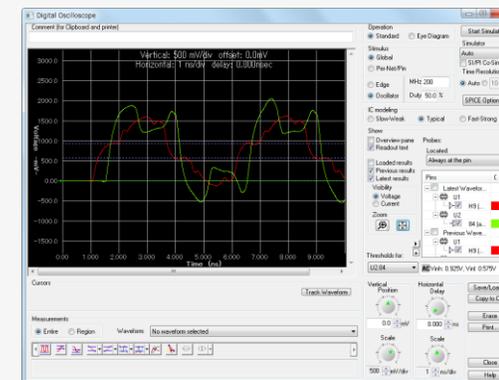


デザインフロー：ボードシミュレーション (2/3)

- 基板パラメーターの抽出
 - レイアウトツールから基板のタイミングに関わるパラメーターを抽出する
- ボードシミュレーションツールにて、トポロジーの作成やIBISからIOピンモデルを割当てて、波形のシミュレーションをおこなう
 - シミュレーションは“Hardware Developer’s Guide”の“SI simulation guide”を参考にする
 - i.MX 8M Mini の場合 : 3.4.5 i.MX 8M Mini DDR SI simulation guide

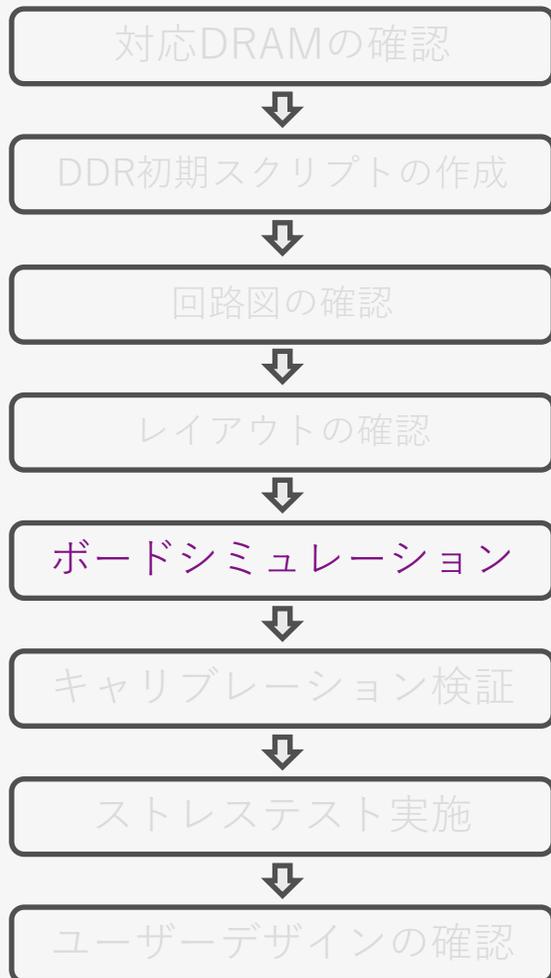


[シーメンス社の HyperLynx より引用](#)



- **ボードシミュレーション時に用いるシミュレーションモデル(IBISなど)は、Max/Minの条件でシミュレーションをおこなうようにする**
- **信号変異の激しい Data や DQS 信号は、観測点を Pin では無く Die にして観測する**

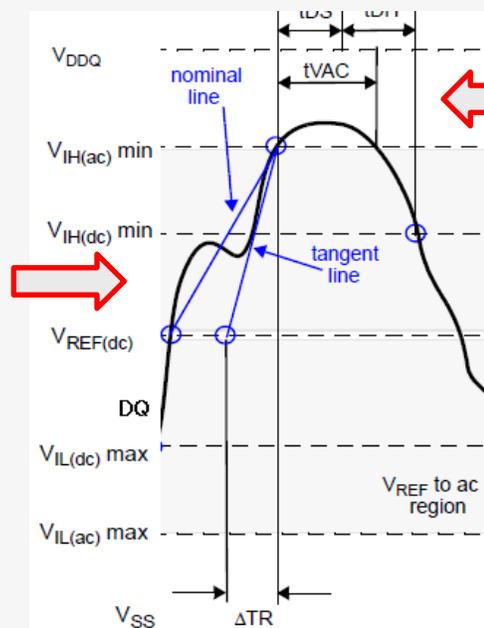
デザインフロー：ボードシミュレーション (3/3)



● ボードシミュレーション結果の確認

- 概略確認：明らかに問題のない波形かどうかを確認
- 精査確認：波形を主に下記2点について精査する
 - 詳細は Appendix: [ボードシミュレーション結果の確認項目](#) を参照
 - (1) 電圧レベル：各種電圧条件に適合しているかを確認
 - (2) 遷移波形：誤動作となるような問題ないか（特にクロックとストロブ信号）
- 波形の電圧などに明確に問題があれば改善すべき個所まで戻る

遷移時の波形に問題が無いか？
(信号によっては誤動作要因)



電圧条件に適合しているか
(定格や推奨条件順守、遷移前後で維持すべき範囲)

波形に問題が無いか？

デザインフロー：キャリブレーション検証

- RPAの設定値を最適化するために DDR Tool でキャリブレーションを実行

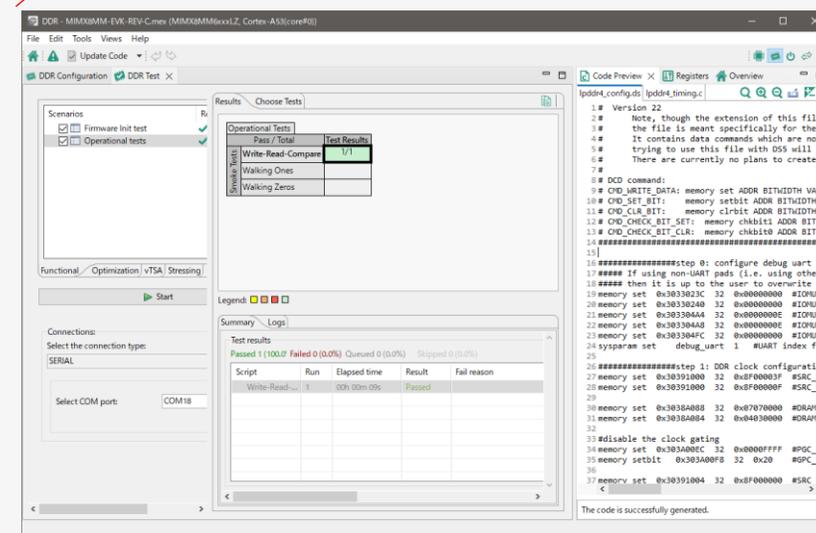
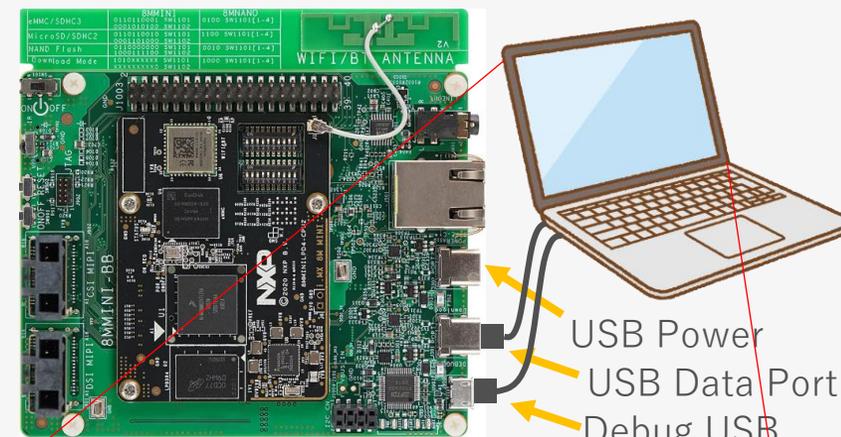
- ボードとPCを接続して DDR Tool を実行

- 具体的な使用方法は [Appendix DDR Tool](#) を参照

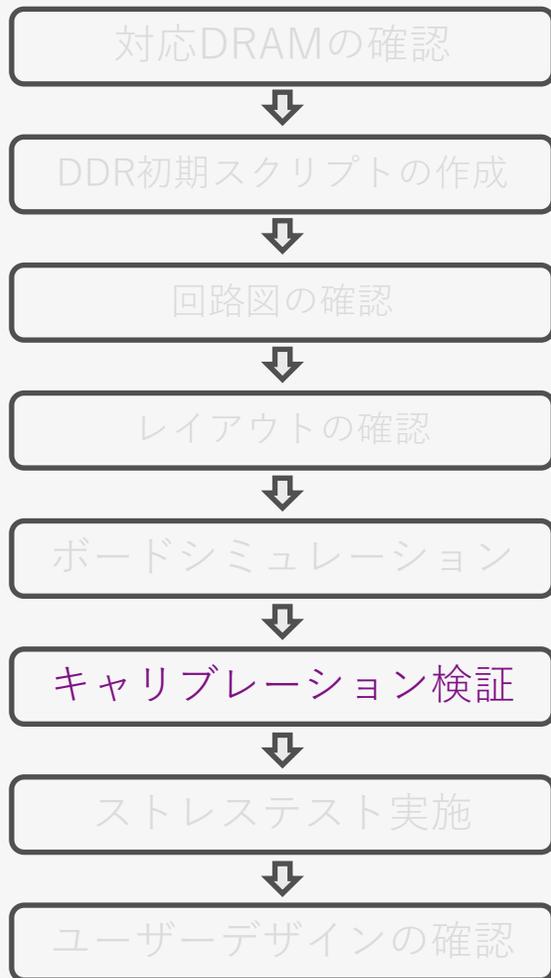
- 「Functional」で「Firmware Init test」がパスするか確認

- Firmware Init test がパスしないときは以下の点を確認

- 配線の接続に間違いは無いか
- 各種信号の処理に間違いは無いか
- 電源、クロックは正常に供給されているか
- Drive Strength の設定はボードシミュレーションの値を反映しているか



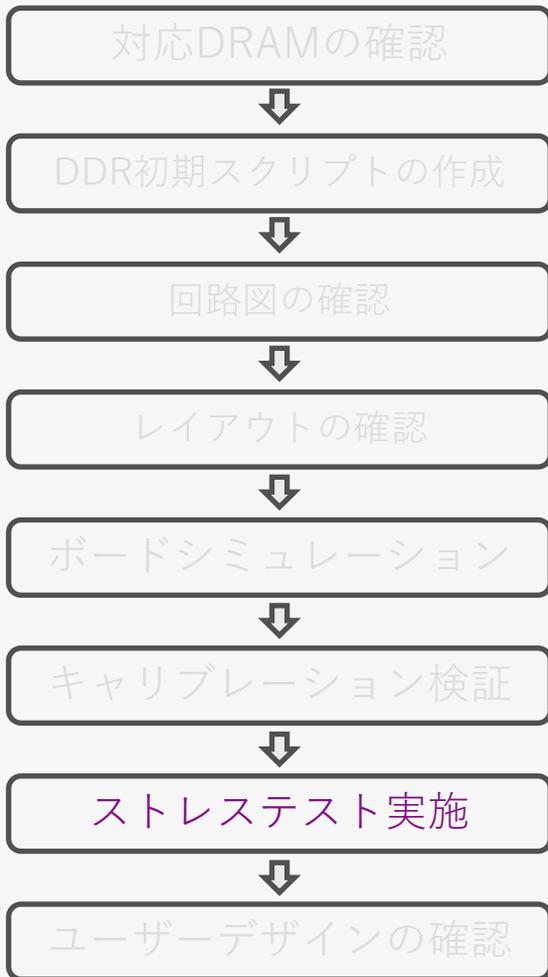
Config Tool of DDR



デザインフロー：ストレステスト実施

● DDR Tool でストレステストを実行

- ストレステストによりさまざまなデータ/アドレスパターンがパスするか確認
 - 具体的な使用方法は [Appendix DDR Tool](#) を参照



The screenshot shows the DDR Tool interface with the following components:

- Scenarios Table:**

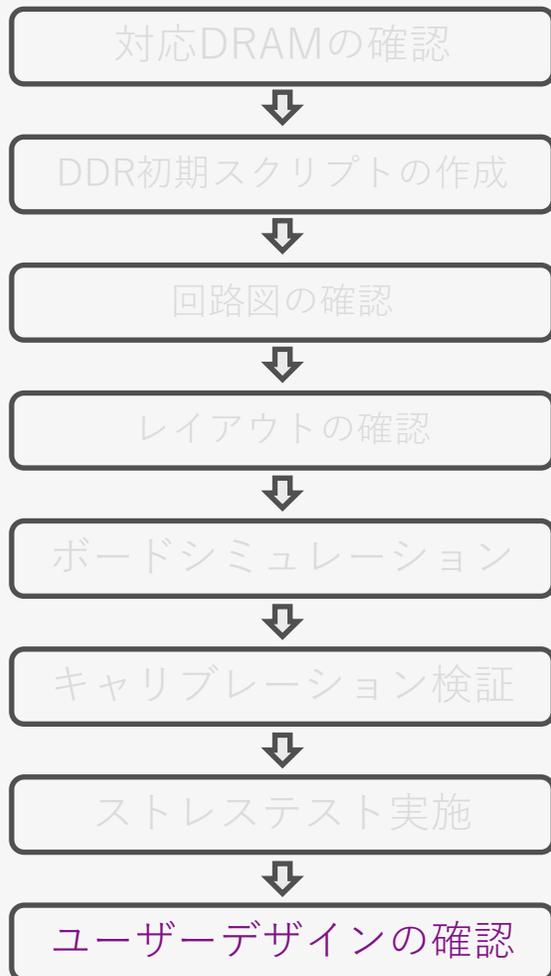
Scenarios	Result
<input checked="" type="checkbox"/> Stress tests	✓ 100 %
- Stress Tests Summary Table:**

Pass / Total	Checking...
0	1/1
- Test Results Summary:**

Test results: Passed 1 (100.0%) Failed 0 (0.0%) Queued 0 (0.0%) Skipped 0 (0.0%)

Script	Run	Elapsed time	Result	Fail reason
Stress tests	1	00h 01m 10s	Passed	
- Code Editor:** Shows the generated DDR configuration script (lptest4_config.ds) with various memory set and command definitions.

デザインフロー：ユーザーデザインの確認



- ユーザーデザインのコードからDDRメモリーにアクセスして動作に問題無いか確認する
- OSを実装している場合：OSのメモリー負荷プログラムを実行する
 - 例：Linux の場合 ⇒ “stress” や “memtester” コマンド

3. DDR デバッグフロー

デバッグフロー

デバッグフロー

デバイススペックの確認



電源の確認



クロック/リセットの確認



信号品質の確認



回路図の確認



キャリブレーションの確認



ストレステストの確認



ユーザーデザインの確認



動作周波数はスペック範囲内か？



電源は許容範囲内か？



クロック/リセットの波形は規定内か？



メモリー関連の信号波形は規定内か？



ガイドラインの準拠通りに処理をしたか？



キャリブレーションはパスするか？



ストレステストはパスするか？



プロトコル通りのアクセスをしているか？

デザインフロー

対応DRAMの確認



DDR初期スクリプトの作成



回路図の確認



レイアウトの確認



ボードシミュレーション



キャリブレーション検証



ストレステスト実施



ユーザーデザインの確認

デバッグフロー：電源、クロック/リセットの確認

デバッグフロー

デバイススペックの確認



電源の確認



クロック/リセットの確認



信号品質の確認



回路図の確認



キャリブレーションの確認



ストレステストの確認



ユーザーデザインの確認

- 最低 5G 帯域のオシロスコープで波形を確認
 - 必ずアクティブプローブを使用
- 電源の確認
 - 動作中の VDD SNVS, NVCC SNVS, VDD SOC, VDD ARM, VDD DRAM, NVCC DRAM の電圧を測定
 - 動作条件内に収まっているか
 - オシロの積算モードで確認
 - オシロのトリガー・モードで電圧の上限値と下限値を確認
 - 電源電圧を変更
 - 動作条件の上限値、下限値で確認
- クロックを確認
 - RTC_XTALI に 32.768 kHz が入力されているか
 - XTALI_24M に 24MHz が入力されているか
- リセットを確認
 - POR_B がアクティブになる前から 24MHz や 32.768 kHz のクロックが入力されているか
 - パワーアップシーケンスを満たしているか
 - 起動に関連するすべての電圧レールがオンになるまで、POR_B信号がアサートされたままか

デバッグフロー：信号品質の確認

デバッグフロー

デバイススペックの確認



電源の確認



クロック/リセットの確認



信号品質の確認



回路図の確認



キャリブレーションの確認

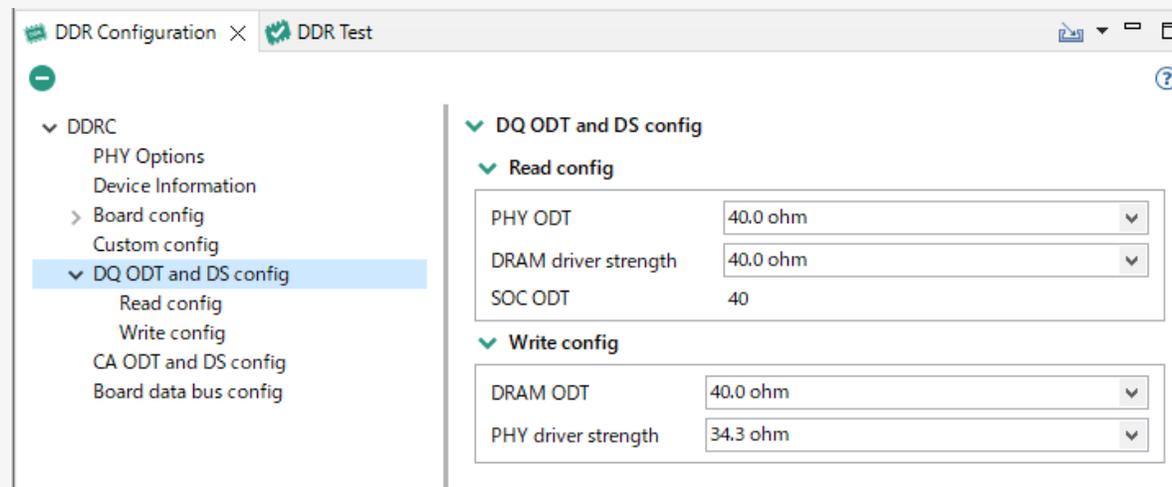


ストレステストの確認



ユーザーデザインの確認

- 最低 5G 帯域のオシロスコープで波形を確認
 - 必ずアクティブプローブを使用
- 信号品質の確認
 - DQ/DQS, Add/Cmd の波形を確認
 - ボードシミュレーション結果と同じ波形か
 - マージンが取れているか
- DDR Tool では、i.MX 側と DDR メモリーの ODT や Drive Strength が変更できるので、変更して現象に違いが出るか試してみる
 - DDR Configuration から設定できる



デバッグフロー：キャリブレーションの確認

デバッグフロー

デバイススペックの確認



電源の確認



クロック/リセットの確認



信号品質の確認



回路図の確認



キャリブレーションの確認



ストレステストの確認



ユーザーデザインの確認

- キャリブレーションがエラーとなった場合
 - どのキャリブレーションステージでエラーとなったか確認する
 - キャリブレーションは以下の9ステージ
 1. CA training
 2. read enable training
 3. fine write leveling
 4. read dq deskew training
 5. MPR read delay center optimization
 6. Write leveling coarse delay
 7. write delay center optimization
 8. read delay center optimization
 9. max read latency training
 - “Export log”  で結果を確認
 - 再度キャリブレーションを実施し再現性を確認
 - 複数基板を使った再現性の確認
 - 最新の RPA, DDR Tool を使って確認
 - メモリーを張り替える (優先順位：低)
 - ステージごとの確認事項でも原因が特定できない場合
⇒ [P23: デバッグフロー](#)に戻ってデバッグを進める

デバッグフロー：ストレステスト/ユーザーデザインの確認

デバッグフロー



- ストレステストやユーザーデザインで以下の事象が発生する場合は[信号品質の確認](#)に戻る
 - ボード依存性がある
 - 温度依存性がある
 - 電源投入後、時間経過で事象が変化する
 - モニタピンをつなぐと事象が変化する

さいごに

- メモリーインタフェースの高速化に伴い、ボード設計の厳密化への要求が高まっており、メモリーに関する動作不具合も増加傾向にあります
- デバッグに費やす時間の短縮のため、あらかじめデバッグする手段の実装や部品ばらつきによる不安定動作を防止するためにメーカー推奨以上のマージンを確保した設計が重要となります
- 設計時間の短縮、市場への不良流出の防止のためにガイドラインを守り、不具合のない製品を最短期間で市場に投入させましょう

4-1. Appendix DDR Register Programming Aid

DDR Register Programming Aid (RPA) とは

- DDR メモリーとインターフェースするための初期化スクリプトを生成する Excelベースのファイル
 - 設定できるレジスタ項目
 - IOMUX レジスタ： i.MX DDIOの Drive Strength を設定
 - MMDC レジスタ
 - DDRメモリーの Mode Register
- 主に DDRメモリーのパラメーターの設定に使用
 - パラメーター： Row, Column, Bank Address, Chip select
- 初期化スクリプトを自動生成
 - ARM DS5(.dsファイル) のデバッグフォーマットが生成される
- NXP社の評価ボードを元に開発
 - ユーザー開発ボードにもカスタマイズが可能
- i.MX 8 の RPA は以下からDL可能
 - [i.MX 8/8X Family DDR Tools](#)
 - [i.MX 8M Family DDR Tool](#)

[i.MX8シリーズのみ、i.MX9 は後述する DDR Tool で初期スクリプトの作成をおこなう](#)

i.MX8MM (m845) DDR Controller Configuration Spreadsheet

This tool is configured to work with (enter board name):

Instructions	Legend			
On Register Configuration Tab, this color indicates the bitfields that would commonly require updating.	On Register Configuration Tab, this color indicates the bitfields that may be updated, but should typically not require it.			
Shaded cells may require updating per the DRAM memory data sheet parameters. Certain registers should not need to be modified by the user. If a register is not provided then it is assumed this parameter is not to be changed per the provided initialization script. Certain registers are provided though they may be noted as recommended to not change.	On Register Configuration Tab, this color indicates the bitfields that are updated automatically from settings provided in the "Device Information" table or other cells, and should not be changed manually.	Automatically Updated Settings		
	On Register Configuration Tab, an unshaded cell means that the value should remain as is and should not be modified. In these cases, the settings are provided for completeness.			
	On other tabs, this color indicates the cells that are affected by changes on the Register Configuration tab.			

Device Information	17-row rFRC (DRCR_RFSHMTMGT_RFC_MIN) override option	Number of frequency setpoints	Enable/disable 2D training	Enable/disable Shared ZQ resistor
Memory type: LPDDR4	For 17-row devices, JEDEC specifies rFRC of 380ns, however, some vendors allow for lower rFRC, which you can override here. Set the value to 0 to disable the override and use the default JEDEC compliant density-based calculation of rFRC instead. Consult the datasheet of the memory vendor to see the allowed values for rFRC before setting this to a non-JEDEC value.	This setting allows the user to select the number of frequency setpoints to include for the Hardware Fast Frequency Change. Note: if FREQ1 is set to 384, then only 3 setpoints are allowed.	This setting allows user to enable (1) or disable (0) 2D training.	Enables/Disables Shared ZQ resistor. Means ZQInitZQCC/ZQCS/MPC(ZQ calibration) commands are sent to one rank at a time with ZQInitZQCC/ZQCS/ZQCALZQCALT timing met between commands so that commands to different ranks do not overlap. Disabled: ZQ resistor is not shared. This should be left disabled unless the board shares one ZQ resistor across ranks.
Manufacturer: Micron		3	ENABLED	DISABLED
Memory part number: MTS3D612M3202DS-653 WTD				
Density per channel per chip select (Gb): ¹ 8				
Number of Channels: 2				
Number of Chip Selects used: ² 1				
Total DRAM density (Gb): 16				
Number of ROW addresses: ³ 16				
Number of COL/IMR addresses: ³ 10				
Number of BANK addresses: ³ 3				
Number of BANKS: ³ 8				
Bus Width: 32				
Clock Cycle Freq (MHz): 1500				
Clock Cycle Time (ns): 666.666667				
FREQ1 setpoint Clock Cycle Freq (MHz): 200				
FREQ1 Clock Cycle Time (ns): 5				
FREQ2 setpoint Clock Cycle Freq (MHz): 50				
FREQ2 Clock Cycle Time (ns): 2000				
DRCR0 Base Address (do not modify): 3D408000				
DRCR0 FREQ1 Base Address (do not modify): 3D402000				
DRCR0 FREQ2 Base Address (do not modify): 3D406000				

Debug UART port	LPDDR4 MR4 manual de-rate workaround - Temperature Derating Options for errata ERR050865
Assumes use UART pad for UART function, not mux'd on other pads	This auto derate logic of the DCR controller only samples the LPDDR4 MR4 register when the Temperature Update Flag (TUF) field (MR4[7]) is 1'b1. If the LPDDR4 memory is initialized and starts operation above 85°C (MR4[6] = 3'b011), the MR4 TUF will not set and the DCR controller will not automatically adjust the memory refresh rate or de-rate memory timings based on the LPDDR4 memory temperature. If the LPDDR4 memory temperature remains below 85°C at initialization, then the derating logic works as intended, automatically adjusting the memory refresh period and memory timing during the entire system operation.
2	Three options to choose from: Automatic: this is the default and enables auto derating. Option 1: disables auto derating and increases auto refresh x2, typically used for industrial temperature grade LPDDR4. Option 2: disables auto derating and applies maximum auto refresh (x4) along with derating specific timings (RRC0, IRAS, IRC, IRRP, IRRD), typically used for automotive temperature grade LPDDR4. For option 1 and 2, it is highly recommended to consult with your DRAM vendor on supported temperature grades.

DDRC Control Parameter	N/A	control bit setting (decimal)	within register	Notes	Register name	Register address	Register value (HEX)
DEVICE_CONFIG	-	2	80000000	Indicates the configuration of the device used in the system. <ul style="list-style-type: none"> 10 - x18 device 11 - x32 device For LPDDR4, setting this to 10 or 11 has no affect, so set to 10 to align with validation setting.			
FREQUENCY_MODE	-	1	20000000	Choose which registers are used: <ul style="list-style-type: none"> 0 - Original registers 1 - Shadow registers 			

DDR Register Programming Aid の使い方

1. DDRメモリーベンダよりデータシートを入手する
2. RPA の “Register Configuration” シートを開く

Device Information	
Memory type:	LPDDR4
Manufacturer:	Micron
Memory part number:	MT53D512M32D2DS-053 WT.D
Density per channel per chip select (Gb) ¹ :	8
Number of Channels	2
Number of Chip Selects used ²	1
Total DRAM density (Gb)	16
Number of ROW Addresses ²	16
Number of COLUMN Addresses ²	10
Number of BANK addresses ²	3
Number of BANKS ²	8
Bus Width	32
Clock Cycle Freq (MHz) ³	1500
Clock Cycle Time (ns)	0.666666667
FREQ1 setpoint Clock Cycle Freq (MHz)	200
FREQ1 Clock Cycle Time (ns)	5
FREQ2 setpoint Clock Cycle Freq (MHz)	50
FREQ2 Clock Cycle Time (ns)	20

3. Device Information の表を埋める
4. 以下の Legend のように必要なセルに値を入力する

- 通常、値の入力が必要なセル
- 入力が必要かも知れないが、通常は入力の必要が無いセル
- 自動更新されるので個別編集は必要無いセル
- 記載されている値をそのままにしておくセル
- 他のシートで “Register Configuration” シートを
変更すると更新される項目

Legend	
On Register Configuration Tab, this color indicates the bitfields that would commonly require updating.	
On Register Configuration Tab, this color indicates the bitfields that may be updated, but should typically not require it.	
On Register Configuration Tab, this color indicates the bitfields that are updated automatically from setting provided in the “Device Information” table or other cells, and should not be changed manually	Automatically Updated Setting
On Register Configuration Tab, an unshaded cell means that the value should remain as is and should not be modified. In these cases, the settings are provided for completeness.	
On other tabs, this color indicates the cells that are affected by changes on the Register Configuration tab.	

5. “BoardDataBusConfig” のシートを開き、使用する DDR のデータシート
の情報を元に Bus Config の設定をシートに入力

MX8M LPDDR4 Channel:	Chan B																Chan A															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DRAM data bus																																
MX8Mdata bus (User Input)->	7	6	5	4	3	2	1	0	14	15	10	13	12	11	9	8	31	30	29	28	27	26	25	24	22	23	20	21	18	19	17	16
MX8M byte lane	0								1								3								2							
MX8M data bus bits within byte lane	7	6	5	4	3	2	1	0	6	7	2	5	4	3	1	0	7	6	5	4	3	2	1	0	6	7	4	5	2	3	1	0

DQ Bits Entered Correctly

6. “DDR stress test file” に初期化スクリプトが作成されるので
テキストエディターにコピー&ペーストして *.ds ファイルとして保存する
 - *.ds は DStream.dsファイルとして使用することも、ブートローダーDRAMの初期化の参照として使用することもできます

初期化スクリプトファイル

- 初期化スクリプトファイルが自動生成されます

How To Use

Revision History

Register Configuration

BoardDataBusConfig

DDR stress test file

“DDR stress test file” シート

	A	B	C	D	E
1	#	Version 22			
2	#	Note, though the extension of this file implies use with the DS5 debugger,			
3	#	the file is meant specifically for the DDR Stress Test GUI tool.			
4	#	It contains data commands which are not compatible with the DS5 debugger,			
5	#	trying to use this file with DS5 will result in errors.			
6	#	There are currently no plans to create a DS5 JTAG DRAM initialization script.			
7	#				
8	#	DCD command:			
9	#	CMD_WRITE_DATA: memory set ADDR BITWIDTH VALUE		: *ADDR = VALUE	
10	#	CMD_SET_BIT: memory setbit ADDR BITWIDTH VALUE		: *ADDR = *ADDR VALUE	
11	#	CMD_CLR_BIT: memory clrbit ADDR BITWIDTH VALUE		: *ADDR = *ADDR &~ VALUE	
12	#	CMD_CHECK_BIT_SET: memory chkbit1 ADDR BITWIDTH VALUE		: while((*ADDR & VALUE) != VALUE){}	
13	#	CMD_CHECK_BIT_CLR: memory chkbit0 ADDR BITWIDTH VALUE		: while((*ADDR & VALUE) != 0){}	
14	#####				
15					
16	#####	step 0: configure debug uart port. Assumes use of UART IO Pads.			####
17	#####	If using non-UART pads (i.e. using other pads to mux out the UART signals),			####
18	#####	then it is up to the user to overwrite the following IO register settings			####
19	memory set	0x3033023C	32	0x00000000	#IOMUXC_SW_MUX_UART2_RXD
20	memory set	0x30330240	32	0x00000000	#IOMUXC_SW_MUX_UART2_TXD
21	memory set	0x303304A4	32	0x0000000E	#IOMUXC_SW_PAD_UART2_RXD
22	memory set	0x303304A8	32	0x0000000E	#IOMUXC_SW_PAD_UART2_TXD
23	memory set	0x303304FC	32	0x00000000	#IOMUXC_SW_MUX_UART2_SEL_RXD
24	sysparam set	debug_uart		1	#UART index from 0 ('0' = UART1, '1' = UART2, '2' = UART3, '3'
25					
26	#####	step 1: DDR clock configuration#####			
27	memory set	0x30391000	32	0x8F00003F	#SRC_DDRC_RCR_ADDR: assert [0]ddr1_preset_n, [1]ddr1_core_rese
28	memory set	0x30391000	32	0x8F00000F	#SRC_DDRC_RCR_ADDR: deassert [4]src_system_rst_b!
29					
30	memory set	0x3038A088	32	0x07070000	#DRAM_APB_CLK_ROOT_CLR
31	memory set	0x3038A084	32	0x04030000	#DRAM_APB_CLK_ROOT_SET, dram_apb_clk_root set to source 4 --80

これらのコマンドをテキストファイルにコピーして貼付け
ファイル名を <file name>.ds に変更します

補足：DDRに対するレジスタ設定内容の確認方法

- レジスタの内容に関してはReference Manualに記載のレジスタの記載を確認
 - RPAの” Register name” や “Register Address” から検索する

RPA

DDRC Control Parameter	N/A	control bit setting (decimal)	within register	Notes	Register name	Register address	Register value (HEX)
DEVICE_CONFIG	-	2	80000000	Indicates the configuration of the device used in the system. ■ 10 - x15 device ■ 11 - x32 device For LPDDR4, setting this to 10 or 11 has no affect, so set to 10 to align with validation setting.			
FREQUENCY_MODE	-	1	20000000	Choose which registers are used. ■ 0 - Original registers ■ 1 - Shadow registers			
ACTIVE_RANKS	-	1	01000000	Note, this information is automatically obtained from the Device Information table above. Description: Maps the Chip Selects in use. Only the following bit configurations are legal: ■ 01 - for one rank (CS0 populated) ■ 11 - for two ranks (CS1 and CS0 populated) Value After Reset: 0x3			
BURST_RDWR	-	8	00080000	Description: SDRAM burst length used: ■0001 - Reserved. ■0010 - Burst length of 4 (recommended for LPDDR2) ■0100 - Burst length of 8 (recommended for DDR4/DDR3/LPDDR3) ■1000 - Burst length of 16 (recommended for LPDDR4) All other values are reserved. This controls the burst size used to access the SDRAM. This must match the burst length mode register setting in the SDRAM. Value After Reset: 0x4			
DLL_OFF_MODE	-	0	00000000	Description: Set to 1 when the uMCTL2 and DRAM has to be put in DLL-off mode for low frequency operation. Set to 0 to put uMCTL2 and DRAM in DLL-on mode for normal frequency operation. Value After Reset: 0x0			
DATA_BUS_WIDTH	-	0	00000000	Description: Selects proportion of DQ bus width that is used by the SDRAM ■00 - Full DQ bus width to SDRAM ■01 - Half DQ bus width to SDRAM (The following bit settings are not implemented in this design) ■10 - Quarter DQ bus width to SDRAM ■11 - Reserved. Value After Reset: 0x0			
BURSTCHOP	-	0	00000000	Description: When set, enable burst-chop in DDR3/DDR4. This is only supported in AXI bus configurations (UMCTL2_INCL_ARB not set) using full bus width mode (MSTR.data_bus_width = 00). ■ 0 - Disabled. ■ 1 - Burst-Chop enabled. Value After Reset: 0x0	DDRC_MSTR	0x3D400000	0xA1080020
BURST_MODE	-	0	00000000	Description: Indicates burst mode. 0 - Sequential burst mode 1 - Interleaved burst mode (not supported in current design)			

Reference Manual

9.2.3.1.1 DDRC memory map

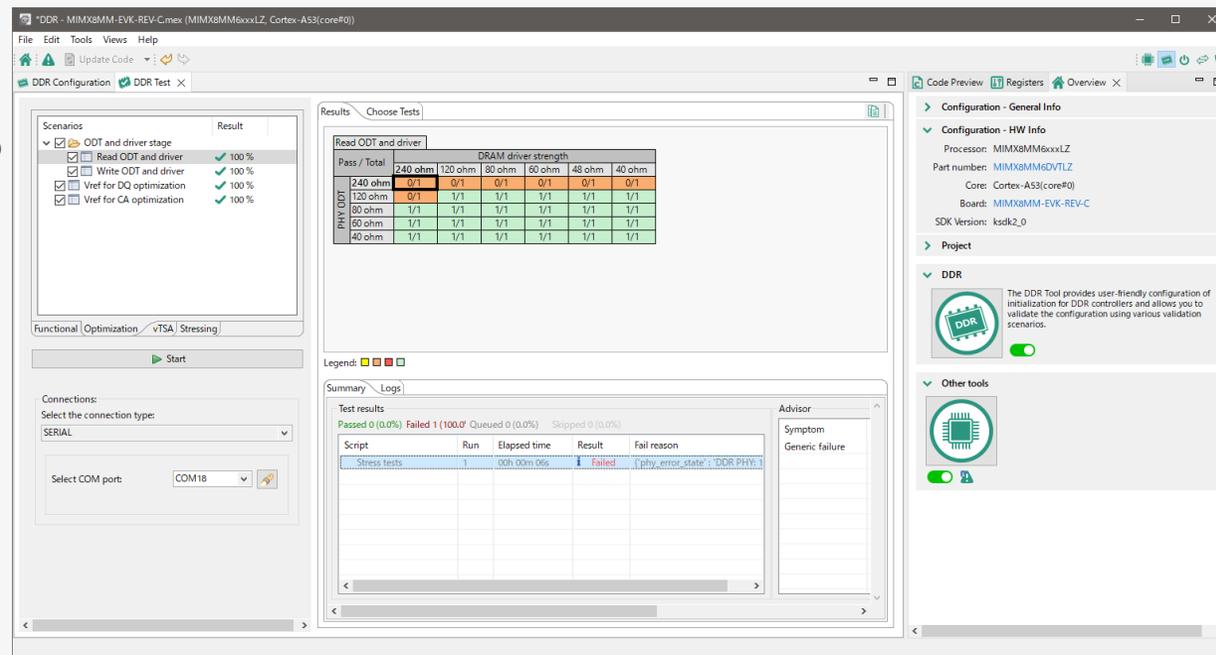
DDRC base address: 0h

Offset	Register	Width (In bits)	Access	Reset value
0h	Master Register0 (MSTR)	32	RW	0304_0001h
4h	Operating Mode Status Register (STAT)	32	RO	0000_0000h
8h	Operating Mode Status Register (MSTR1)	32	RW	0000_0000h
Ch	Operating Mode Status Register (MRCTRL3)	32	RW	0000_0003h
10h	Mode Register Read/Write Control Register 0. (MRCTRL0)	32	RW	0000_0030h
14h	Mode Register Read/Write Control Register 1 (MRCTRL1)	32	RW	0000_0000h
18h	Mode Register Read/Write Status Register (MRSTAT)	32	RO	0000_0000h
1Ch	Mode Register Read/Write Control Register 2 (MRCTRL2)	32	RW	0000_0000h
20h	Temperature Derate Enable Register (DERATEEN)	32	RW	0000_0000h
24h	Temperature Derate Interval Register (DERATEINT)	32	RW	0080_0000h
30h	Low Power Control Register (PWRCTL)	32	RW	0000_0000h
34h	Low Power Timing Register (PWRTMG)	32	RW	0040_2010h
38h	Hardware Low Power Control Register (HWLPCTL)	32	RW	0000_0003h
50h	Refresh Control Register 0 (RFSHCTL0)	32	RW	0021_0000h
54h	Refresh Control Register 1 (RFSHCTL1)	32	RW	0000_0000h

4-2. Appendix DDR Tool

DDR Tool 概要

- DDR Tool は設定した各種パラメーターがどの程度堅牢性を持っているか確認するツール
 - DDR tool は Config Tool for i.MX の一つの機能
 - 後述する [DDR Stress Test Tool](#) の機能に加え、信号の最適化/疑似信号測定機能が加わった
 - 基本的には i.MX8/9 を開発する場合は DDR Tool を使うことを推奨
 - OSが不要なToolのため、OSに実装前にDDRインターフェースの信号品質を確認できる
 - 主に連続データをシーケンシャルにバースト転送して同時スイッチング・ノイズ (SSN) の検出に使用
- 設定可能な項目
 - DDR Firmware のテスト
 - ODT や Vref の最適値のテスト
 - 擬似的な信号波形のマージンの確認
 - ストレステストの実行
- 実行方法
 - i.MX の UARTポート経由でホストPCのUSBに接続し、GUIツールから実行



実行手順 (1)

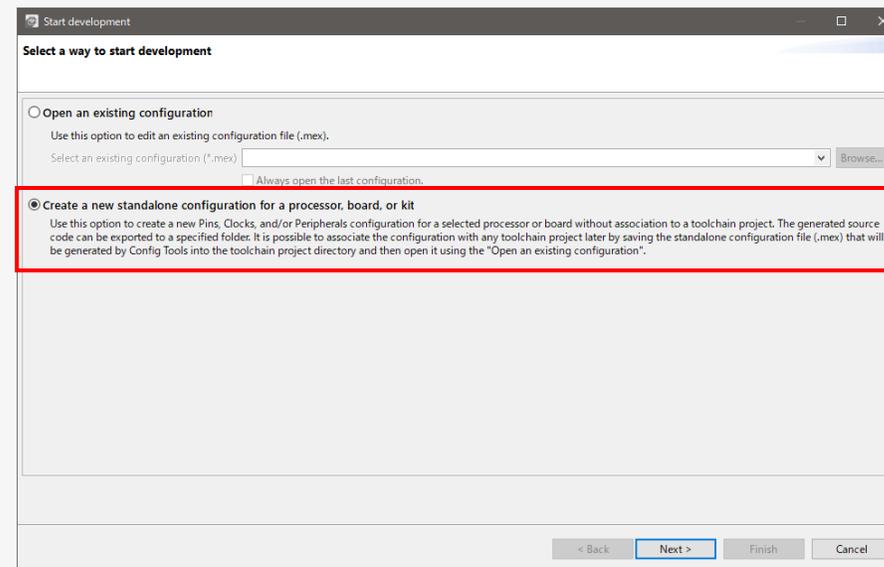
- Config Tools for i.MX を起動
 - ダウンロードは以下のアドレス
 - [Config Tools for i.MX Applications Processors](#)
- 最初の起動画面では2番目のエントリーを選択して新しいプロファイルを作成
- 該当する Board/Processor の型番を選択する
 - 以下の例では i.MX 8M Mini Quad を選択

Select a processor/board/kit

8M

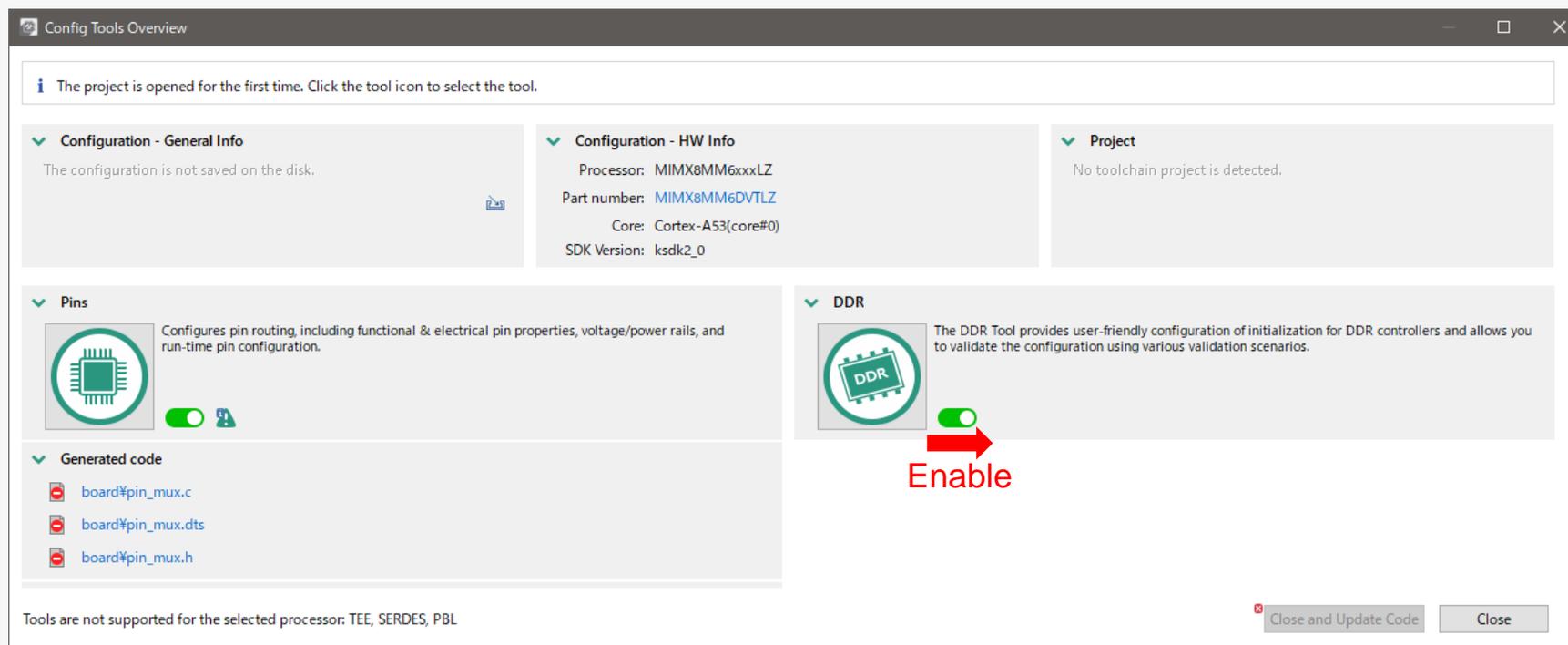
Select a processor/board/kit	Pins	TEE	DDR	SERDES	PBL	Status
> Boards						
▼ Processors						
> i.MX 8M Dual						
> i.MX 8M Mini Dual						
> i.MX 8M Mini DualLite						
▼ i.MX 8M Mini Quad						
MIMX8MM6xxxKZ	✓	✗	✓	✗	✗	Cached
MIMX8MM6xxxLZ	✓	✗	✓	✗	✗	Cached
... i.MX 8M Mini QuadLite						

DDR の欄にチェックマークがあれば
DDR Tool の対象型番



実行手順 (2)

- Overview 画面で  ボタンを押して起動させる
 - ボタンがグレーアウトの場合はスライドを Enable 側にする



実行手順 (3)

● 起動画面

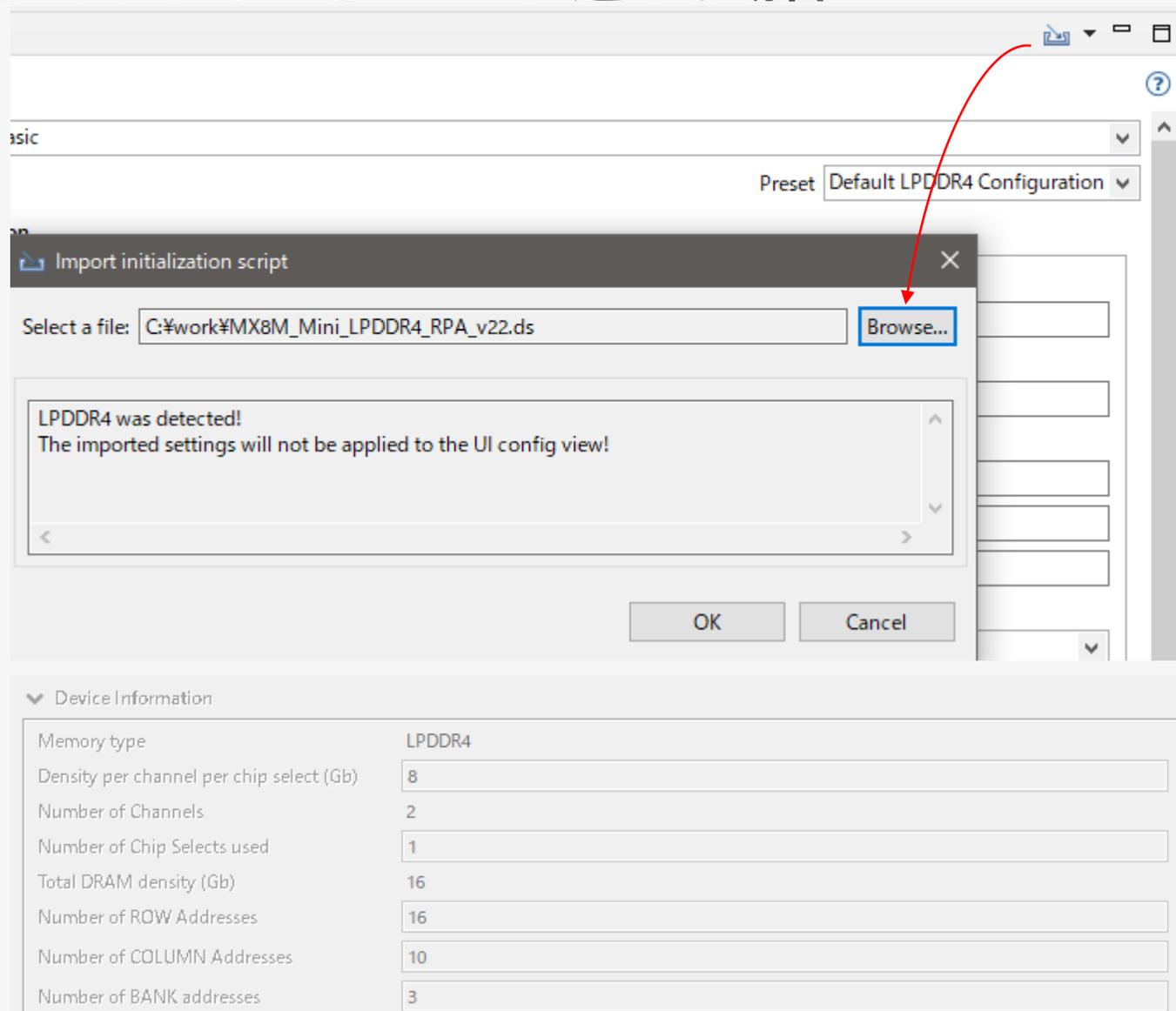
The screenshot shows the DDR Configuration software interface. The main window is titled "DDR - MIMX8MM6xxxLZ.mex (MIMX8MM6xxxLZ, Cortex-A53(core#0))". The interface is divided into several sections:

- DDR Configuration:** Located on the left, it includes a "Test Scenario" section with checkboxes for "Firmware Init test" and "Operational tests". Below this is a "Connection Type" section with a dropdown menu set to "SERIAL" and a "COM ports List" section with a dropdown menu set to "COM3" and a "COM ports Scan" button.
- DDR Test View:** Located in the top center, it contains a "Test Options" section with a "Choose Tests" button and a "Test Results" section showing a table with columns "PHY Test", "Pass / Total", and "Checking...".
- Test Results Overview:** Located in the bottom center, it shows a summary of test results with a table:

Script	Run	Elapsed time	Result	Fail reason
Phy Init	1	N/A	Queued	
- High Level Advisor:** Located in the bottom right, it shows a table with columns "Symptom" and "Possible causes".
- Configuration - General Info:** Located on the right side, it shows hardware information: Processor: MIMX8MM6xxxLZ, Part number: MIMX8MM6DVT LZ, Core: Cortex-A53(core#0), SDK Version: ksdk2_0.
- Code Preview, Registers, Overview:** These are tabs located at the top right of the interface.
- Generate reports:** A button located in the top center of the interface.

実行手順 (4) RPA で作成した ds ファイルをベースに進める場合

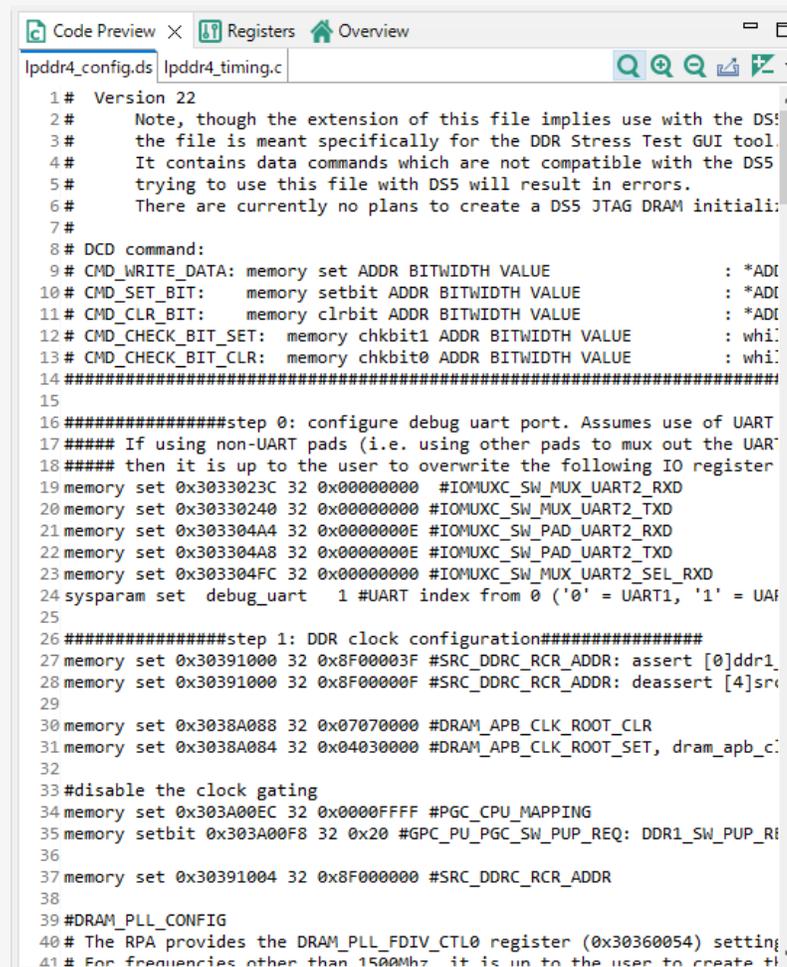
- RPA で作成した ds ファイル をインポートします
 - Import ボタンを押し ds ファイルを選択する



- ds ファイルを選択すると Device Information 画面はグレースアウトとなり編集が不可となる

ds ファイルの確認

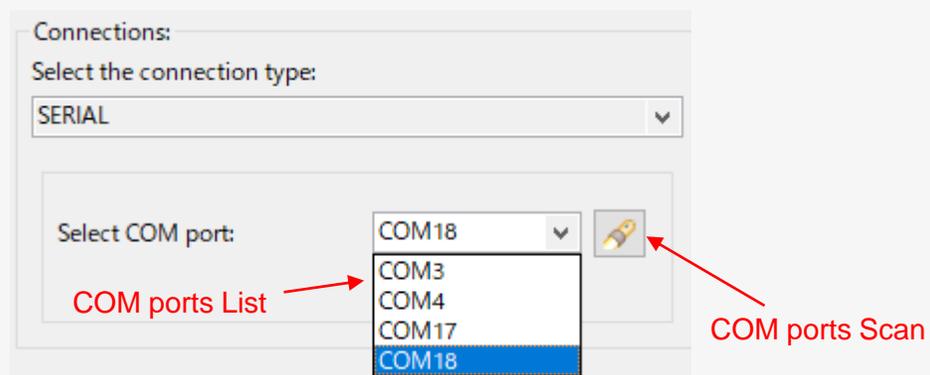
- インポートした ds ファイルの情報は Code Previewer の xxx_config.ds として表示される



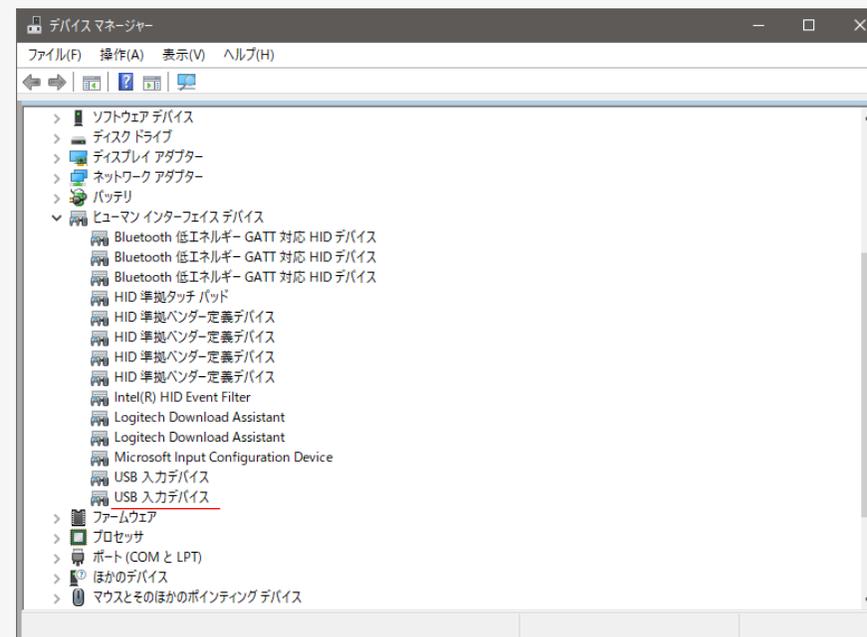
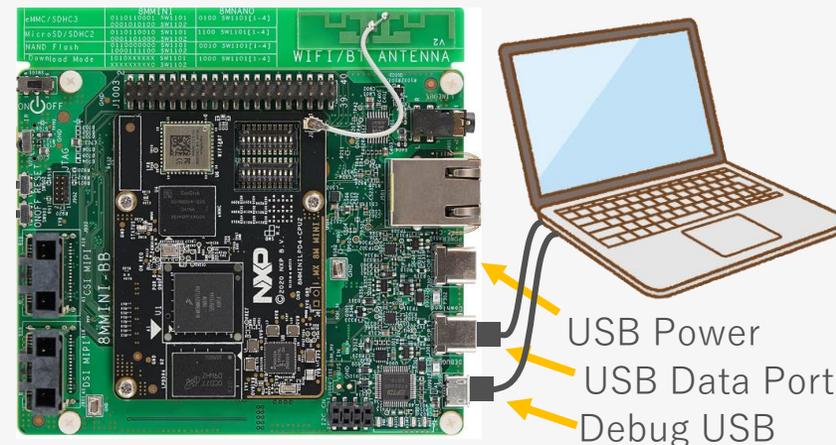
```
Code Preview x Registers Overview
lpddr4_config.ds lpddr4_timing.c
1# Version 22
2# Note, though the extension of this file implies use with the DS5
3# the file is meant specifically for the DDR Stress Test GUI tool.
4# It contains data commands which are not compatible with the DS5
5# trying to use this file with DS5 will result in errors.
6# There are currently no plans to create a DS5 JTAG DRAM initiali:
7#
8# DCD command:
9# CMD_WRITE_DATA: memory set ADDR BITWIDTH VALUE : *AD
10# CMD_SET_BIT: memory setbit ADDR BITWIDTH VALUE : *AD
11# CMD_CLR_BIT: memory clrbit ADDR BITWIDTH VALUE : *AD
12# CMD_CHECK_BIT_SET: memory chkbit1 ADDR BITWIDTH VALUE : whi
13# CMD_CHECK_BIT_CLR: memory chkbit0 ADDR BITWIDTH VALUE : whi
14#####
15
16#####step 0: configure debug uart port. Assumes use of UART
17##### If using non-UART pads (i.e. using other pads to mux out the UAR
18##### then it is up to the user to overwrite the following IO register
19memory set 0x3033023C 32 0x00000000 #IOMUXC_SW_MUX_UART2_RXD
20memory set 0x30330240 32 0x00000000 #IOMUXC_SW_MUX_UART2_TXD
21memory set 0x303304A4 32 0x0000000E #IOMUXC_SW_PAD_UART2_RXD
22memory set 0x303304A8 32 0x0000000E #IOMUXC_SW_PAD_UART2_TXD
23memory set 0x303304FC 32 0x00000000 #IOMUXC_SW_MUX_UART2_SEL_RXD
24sysparam set debug_uart 1 #UART index from 0 ('0' = UART1, '1' = UAR
25
26#####step 1: DDR clock configuration#####
27memory set 0x30391000 32 0x8F00003F #SRC_DDRC_RCR_ADDR: assert [0]ddr1_
28memory set 0x30391000 32 0x8F00000F #SRC_DDRC_RCR_ADDR: deassert [4]src
29
30memory set 0x3038A088 32 0x07070000 #DRAM_APB_CLK_ROOT_CLR
31memory set 0x3038A084 32 0x04030000 #DRAM_APB_CLK_ROOT_SET, dram_apb_c
32
33#disable the clock gating
34memory set 0x303A00EC 32 0x0000FFFF #PGC_CPU_MAPPING
35memory setbit 0x303A00F8 32 0x20 #GPC_PU_PGC_SW_PUP_REQ: DDR1_SW_PUP_RI
36
37memory set 0x30391004 32 0x8F000000 #SRC_DDRC_RCR_ADDR
38
39#DRAM_PLL_CONFIG
40# The RPA provides the DRAM_PLL_FDIV_CTL0 register (0x30360054) setting
41# For frequencies other than 1500MHz it is up to the user to create th
```

基板との接続手順

1. ホストPCに接続した USB ケーブルを i.MX コアの UART に接続する
2. Boot Mode を “Serial Download Mode” にして基板の電源を投入する
3. COM Ports Scan を押して、COM ports List から i.MX コアに接続されている COM ポートを選択する



4. i.MX コアの UART ポートが正常に認識されるとデバイスマネージャのヒューマンインターフェースデバイスに “USB 入力デバイス” と表示されます
5. USBケーブルはUSBハブなど経由せずホストPCと直接繋げることを推奨します



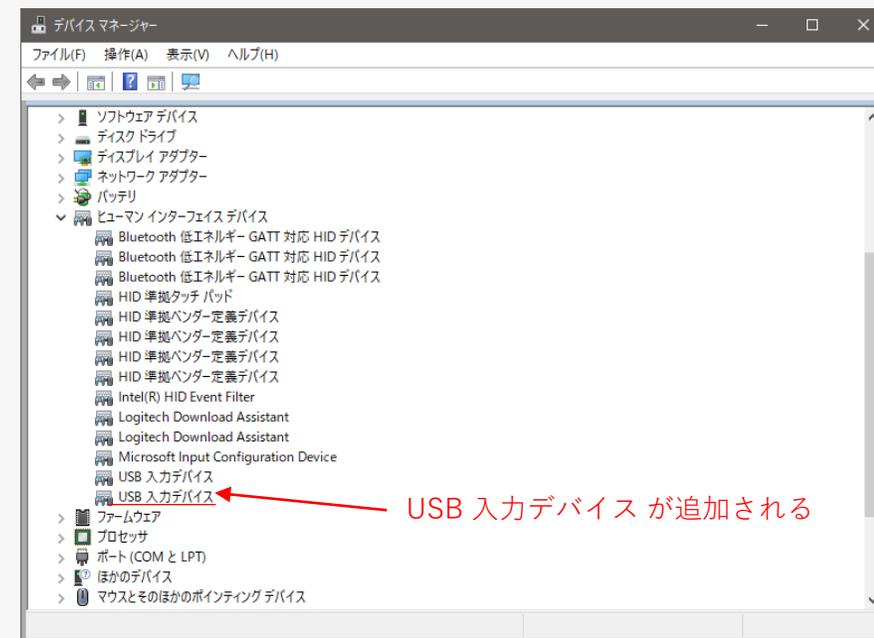
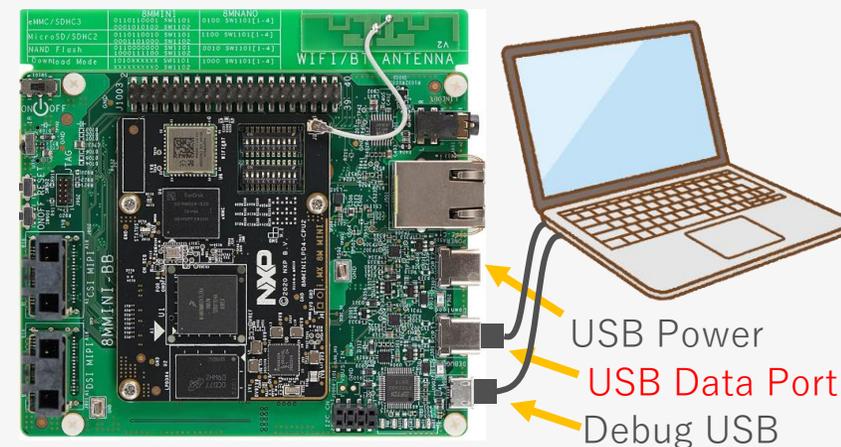
PC接続時にエラーが出る場合の注意点

- PC接続後に Config Tool of DDR を実行後の Log に以下のような Error が出る場合があります
 - ERROR memtool.comm.sdp_comm Invalid USB HID device selection 0 from list [] !

```

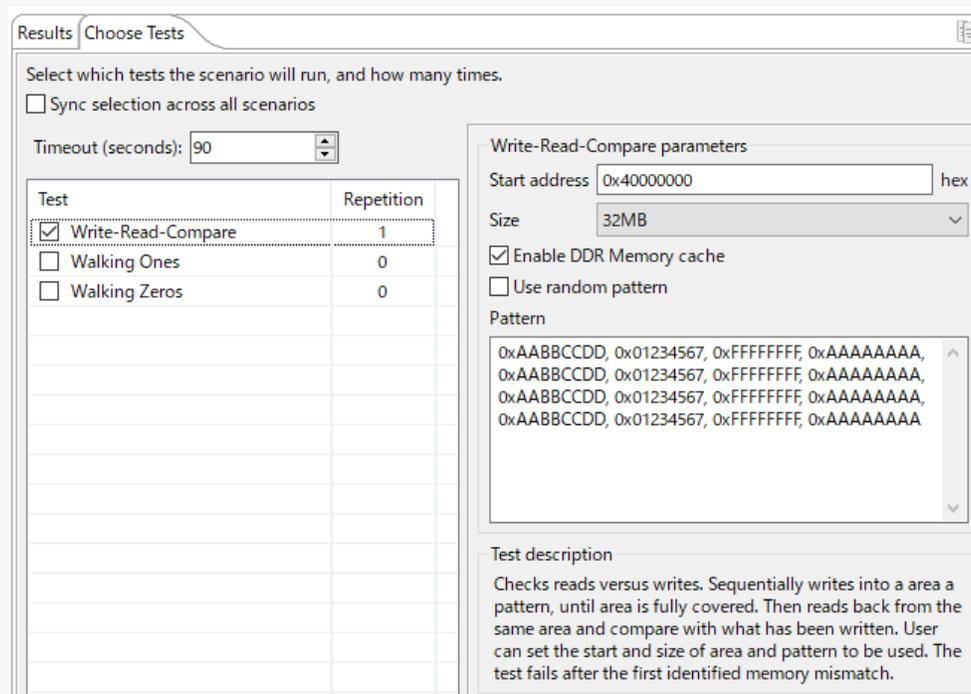
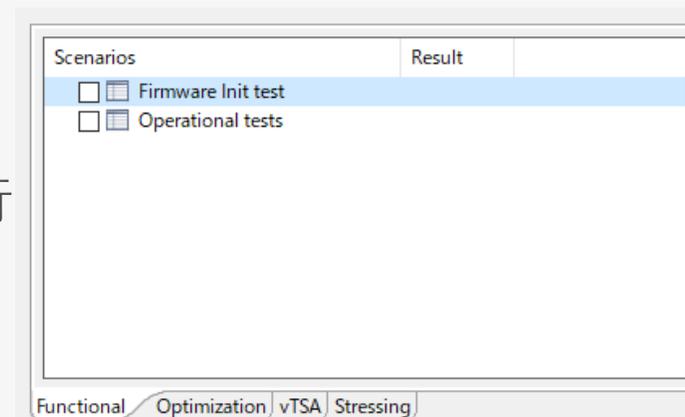
Summary | Logs
View log for: Phy Init - Run 1 (Failed)
INFO memtool.comm.serial_channel Using serial: COM18
ERROR memtool.comm.sdp_comm Invalid USB HID device selection 0 from list [] !
ERROR memtool.comm.sdp_comm Please make sure target is in serial downloader mode
ERROR memtool.common.base_test Load application ended with exception: SDP connection could not be established
  
```

- これは PC に対して USB Data Port が接続されていない場合に出るエラーです
- この時追加でホストPCに対して **USB Data Port も接続** してください(右上図)
 - この接続により“USB 入力 デバイス”が追加され COM Port が認識されます



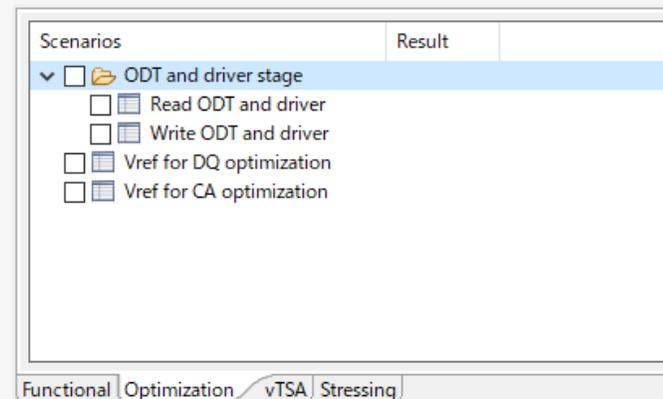
テストシナリオの実行 – Functional

- Firmware Init : DDR PHY 設定の確認をおこなうために DDR PHY トレーニングを実行
- Operational Tests : 基本的なメモリアクセステストの実行
 - アクセスパターン :
 - Write-Read-Compare / Walking Ones / Walking Zeros
 - オプション :
 - Start Address, Size, Enable DDR Memory cache, Use random pattern



テストシナリオの実行 - Optimization

- ODT and driver stage
 - Read ODT and driver
 - Write ODT and driver
 - DQ 信号の DDR PHY 側の ODT と DRAM 側の Drive Strength を変更して、成功/失敗を順次実行する
 - 成功：緑のセル
 - 失敗：オレンジのセル
 - 結果を反映させたい場合は、セルを右クリックして **“Apply current selection in DDR configuration”** をクリック
- Vref for DQ/CA Optimization
 - DQ および CA 信号の内部 Vref 電圧を振り最適な Vref 電圧を決定する
 - 結果を反映させたい場合は、セルを右クリックして **“Apply current selection in DDR configuration”** をクリック



Results Choose Tests

Read ODT and driver		DRAM driver strength					
Pass / Total	240 ohm	120 ohm	80 ohm	60 ohm	48 ohm	40 ohm	
PHY ODT	240 ohm	0/1	0/1	0/1	0/1	0/1	0/1
	120 ohm	0/1	1/1	1/1	1/1	1/1	1/1
	80 ohm	1/1	1/1	1/1	1/1	1/1	1/1
	60 ohm	1/1	1/1	1/1	1/1	1/1	1/1
	40 ohm	1/1	1/1	1/1	1/1	1/1	1/1

Apply the current selection in the DDR configuration

Results Choose Tests

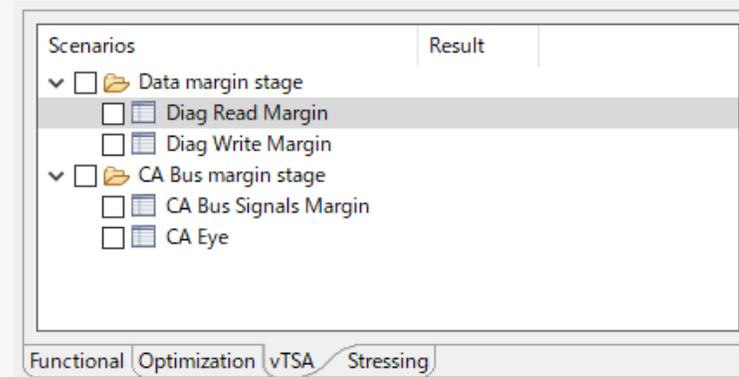
Vref for DQ Optimization Test	
Pass / Total	Searching...
0	1/1

Apply the current selection in the DDR configuration

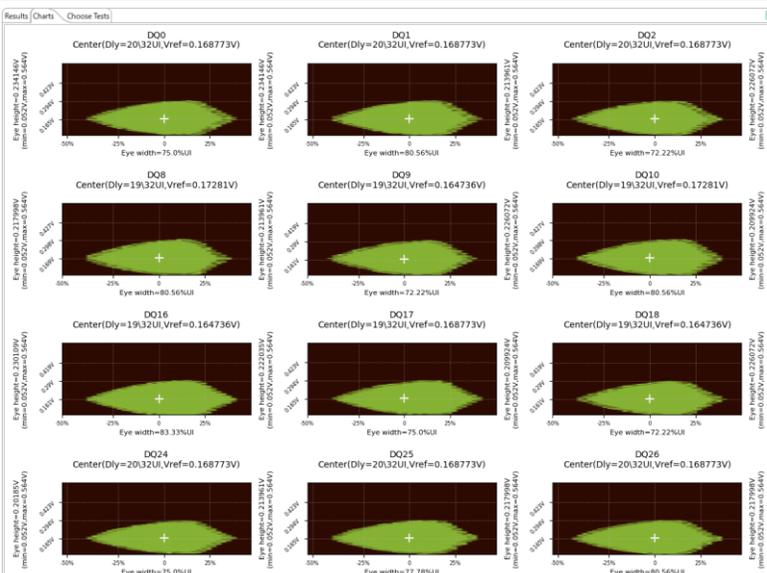
テストシナリオの実行 - vTSA

● vTSA : Virtual Timing Signal Analysis

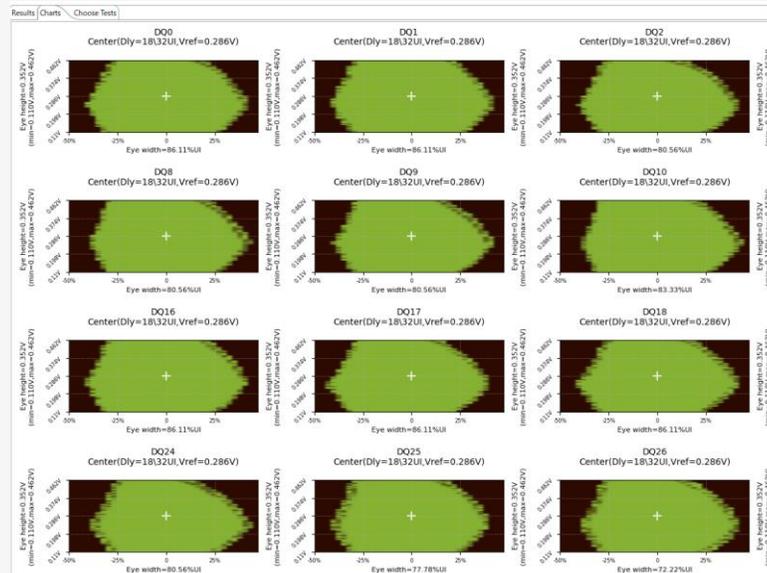
- 疑似的な時間信号解析をおこなう
 - DDR の各信号にどの程度マージンがあるかを疑似的に視覚化
- どの程度までのマージンを波形として良しとするかは基準は無いが、次頁の Stressing や想定環境を踏まえた評価を十分におこない判断する



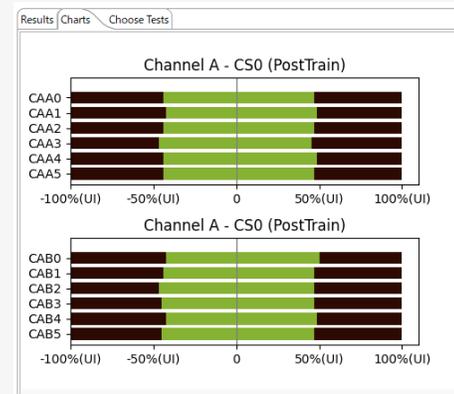
Diag Read Margin の実施例



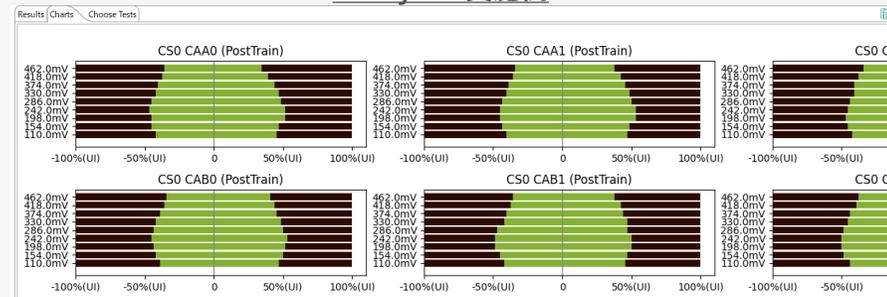
Diag Write Margin の実施例



CA Bus Signals Margin の実施例



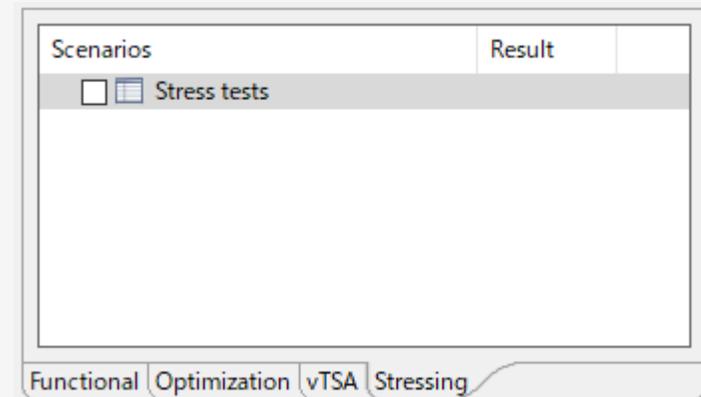
CA Eye の実施例



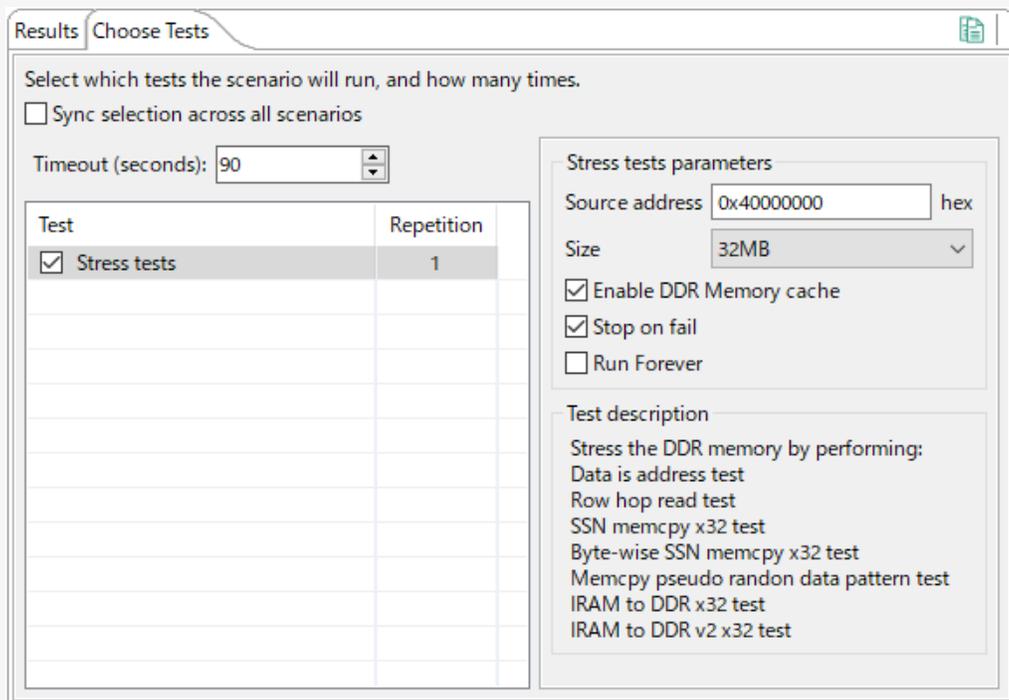
テストシナリオの実行 – Stressing

● Stress Tests

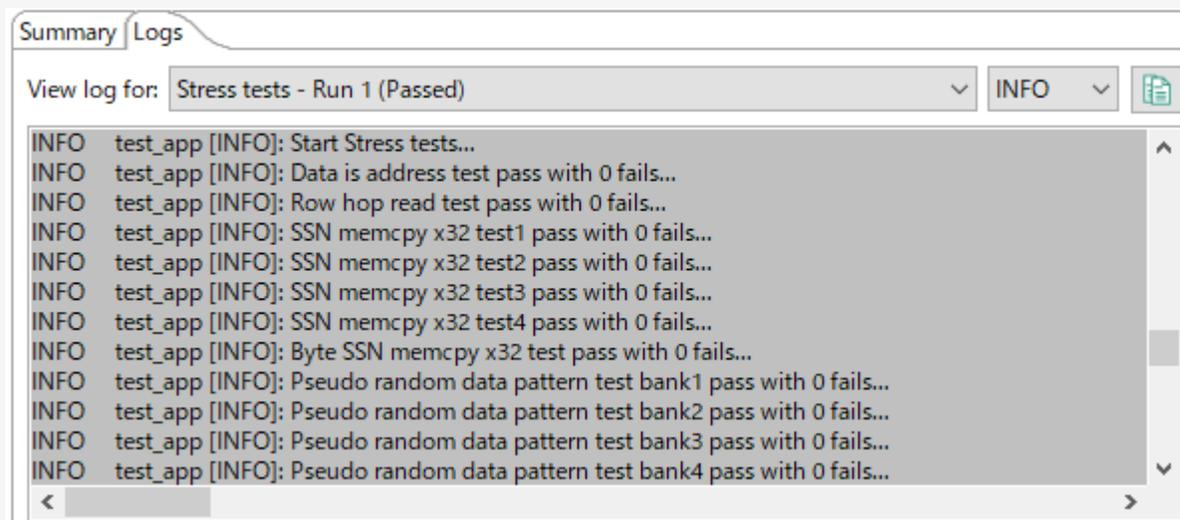
- さまざまなパターンのテストを実行して、DDRに設定されている構成の安定性をより広範にテストします
 - “Choose Tests” タブで Stress Test の設定変更が可能
 - “Logs” タブより Stress Test の結果の閲覧が可能



“Choose Tests” タブの設定画面



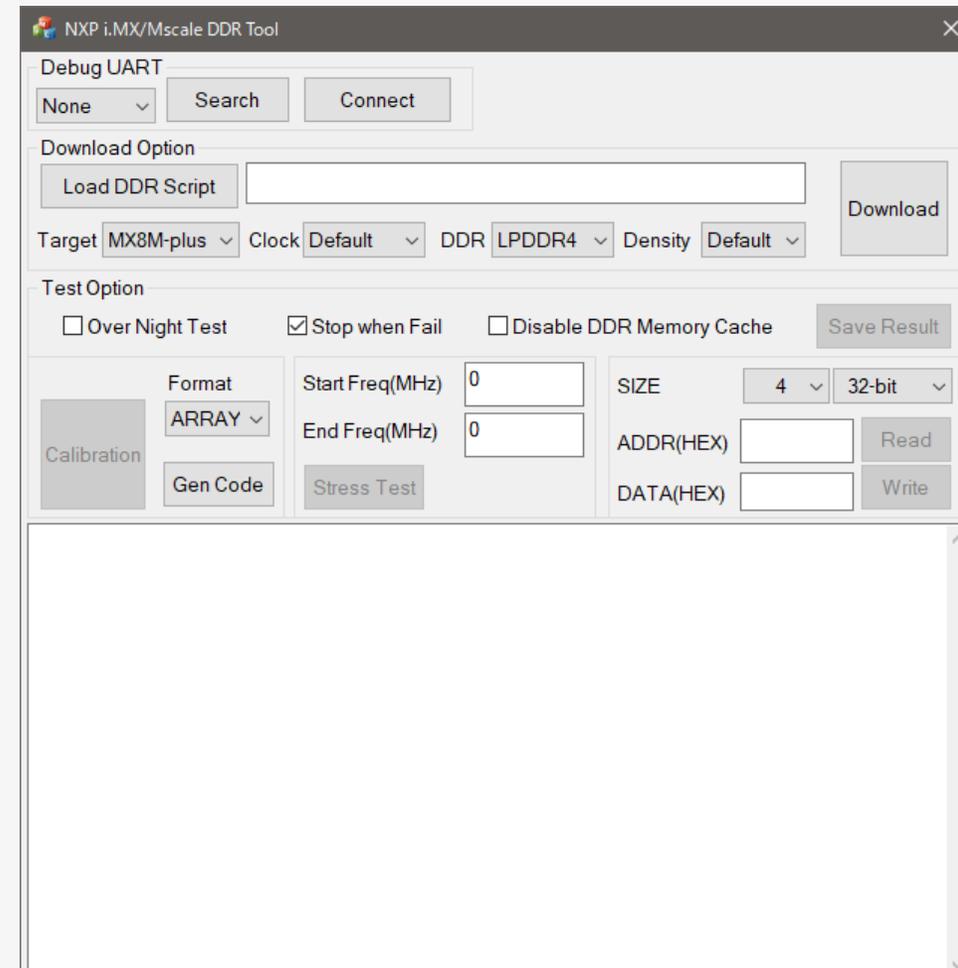
“Logs” タブのテスト結果の表示



4-3. Appendix DDR Stress Test

DDR Stress Test Tool 概要

- 設定した各種パラメーターがどの程度堅牢性を持っているか確認するツール
 - RPAで設定した、Drive Strength やタイミング、ボード情報の确实性の確認
 - OSが必要ないToolのため、OSに実装前にDDRインターフェースの信号品質を確認できる
 - 主に連続データをシーケンシャルにバースト転送して同時スイッチング・ノイズ (SSN) の検出に使用
 - タイミング情報を cソースとして出力可能
- 基本的には i.MX8/9 を開発する場合は **DDR Tool** を使うことを推奨
- 設定可能な項目
 - DDR Calibration のTest
 - Stress Test :
 - 周波数の変更 (Start Freq/End Freq)
 - 連続負荷テストの実行(Over Night Test)
- 実行方法
 - i.MX の UARTポート経由でホストPCのUSBに接続し、GUIツールから実行



OS 搭載のメモリーテストとの違い

- DDRストレステストが十分な余裕を持って合格したら、DDRの問題が原因でOSが失敗しないことが保証できるか？
 - 信頼度の高いDDRストレステストは十分に堅牢です、しかし、、、
 - OSは依然として最もストレスの多いプログラムであり、特にLinuxカーネルの圧縮解除をおこなう memtester や u-boot などの OS ストレステストを実行することをお勧めします
 - OSストレステストを実行してダブルチェックすることをお勧めします

DDR Stress Test	OS stress test (例 memtester)
DDR周波数の最大値を超えた実行が可能	固定の周波数で実行
シングルタスク、軽量 (他のプログラムは実行されない)	OSの下で実行され、多くのプログラムが実行されるため、より多くのシステムストレスとなる
OCRAMから実行されるため、簡単にDDRエラー(データエラー)のチェックが可能	DDRから実行されるため、解析が困難になる場合がある(データエラーまたはコードのロックアップが発生する可能性がある)

DDR Stress Test Tool のインストール

- DDR Stress Test Tool ダウンロード URL :

- [i.MX 8M](#)
- [i.MX 8/8X](#)

※ i.MX 9 は DDR Stress Test Tool は無し
[DDR Tool](#) のみ対応

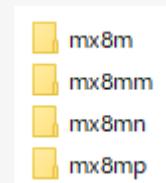
添付

[DDR_stress_test_subtest_description.pdf](#) 
[MSCALE_DDR_Tool_User_Guide.pdf](#) 
[mscale_ddr_tool_v3.31_setup.exe.zip](#) 

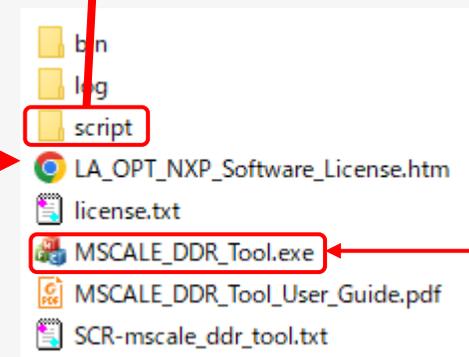
“添付” の欄から zip を
ダウンロード

 mscale_ddr_tool_v3.31_setup.exe

.._setup.exe を実行して
DDR Tool のインストール



- スクリプトフォルダーにあるDDR初期化スクリプトは、さまざまなi.MXデバイス用のサンプルスクリプトです
- スクリプトを参照し、ボード用のカスタムスクリプトを作成することをお勧めします



DDR Tool 実行ファイル

GUI ツール と USB 接続

- i.MX の Debug USB ポート経由でホストPCのUSBに接続
- USB Data Port にホストPCのUSBに接続 & USB Power に電源を接続
- MSCALE_DDR_Tool.exe を実行すると GUI Tool が立ち上がる

The diagram illustrates the setup for connecting the i.MX 8M Mini EVK board to a host PC. The board is connected to the PC via three USB cables: USB Power, USB Data Port, and Debug USB. The GUI tool window, titled "NXP i.MX/Mscale DDR Tool", shows the following configuration:

- Debug UART: COM34
- Download Option: Load DDR Script (C:\work\scale_ddr_tool_v3.31\mscale_ddr_tool_v3.31\script)
- Target: MX8M-mini
- Clock: Default
- DDR: LPDDR4
- Density: Default
- Test Option: Over Night Test, Stop when Fail, Disable DDR Memory Cache
- Start Freq(MHz): 0
- End Freq(MHz): 0
- SIZE: 4, 32-bit
- ADDR(HEX):
- DATA(HEX):
- DDR Clock: 1500MHz
- DDR configuration:
 - DDR type is LPDDR4
 - Data width: 32, bank num: 8
 - Row size: 16, col size: 10
 - One chip select is used
 - Number of DDR controllers used on the SoC: 1
 - Density per chip select: 2048MB
 - Density per controller is: 2048MB
 - Total density detected on the board is: 2048MB
- MX8M-mini: Cortex-A53 is found

The file explorer shows the following files and folders:

- bin
- log
- script
- LA_OPT_NXP_Software_License.htm
- license.txt
- MSCALE_DDR_Tool.exe**
- MSCALE_DDR_Tool_User_Guide.pdf
- SCR-mscale_ddr_tool.txt

GUIツール使用方法：初期化スクリプトのダウンロード

① “Search”ボタンを押し
適切な COM ポートを選択

② “Connect” を押してデバイス
と接続

③ DDR初期化スクリプトを選択 (*.ds)

④ ターゲットデバイスの選択

⑤ ARM 動作周波数を選択
プルダウンに無い周波数の場合
は “Default” を選択する

⑥ DDRのタイプを選択
DDR タイプの情報は初期化スクリプトから得ます

⑦ “DDR Density” は Default を推奨
Density の情報は初期化スクリプトから得ます

⑧ “Download” をクリック

⑨ “Download” が終了すると
以下の様な Log が表示される

The screenshot shows the NXP i.MX/Mscale DDR Tool interface. The main window has several sections: 'Debug UART' with a 'Search' button and a 'COM34' dropdown; 'Download Option' with a 'Load DDR Script' field containing a file path and a 'Download' button; 'Target' set to 'MX8M-mini', 'Clock' set to 'Default', 'DDR' set to 'LPDDR4', and 'Density' set to 'Default'; 'Test Option' with checkboxes for 'Over Night Test', 'Stop when Fail', and 'Disable DDR Memory Cache', and a 'Save Result' button; 'Calibration' with 'Format' set to 'ARRAY', 'Start Freq(MHz)' and 'End Freq(MHz)' set to '0', and buttons for 'Gen Code' and 'Stress Test'; and 'SIZE' set to '4' and '32-bit', with 'ADDR(HEX)' and 'DATA(HEX)' fields and 'Read' and 'Write' buttons.

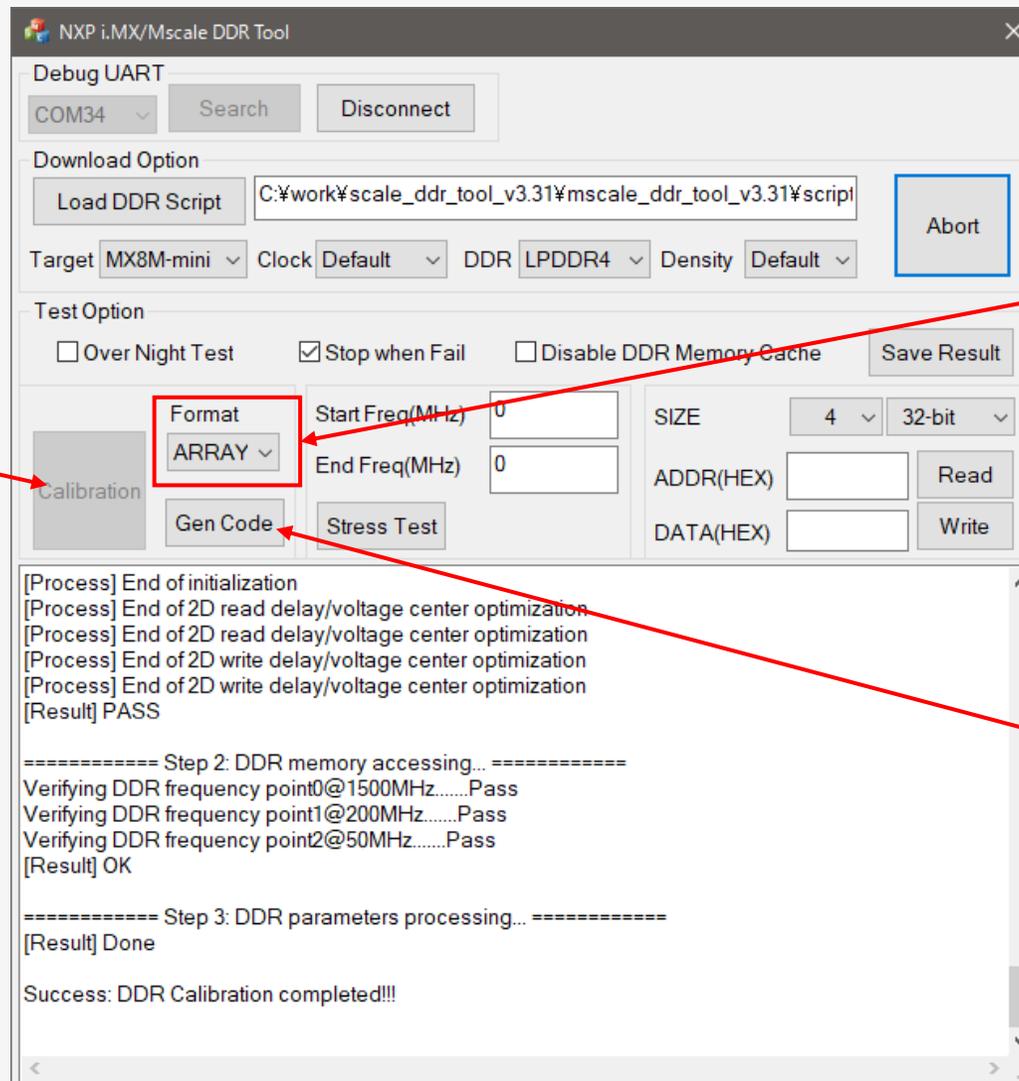
An inset window shows the following log output:

```

DDR Clock: 1500MHz
-----
DDR configuration
DDR type is LPDDR4
Data width: 32, bank num: 8
Row size: 16, col size: 10
One chip select is used
Number of DDR controllers used on the SoC: 1
Density per chip select: 2048MB
Density per controller is: 2048MB
Total density detected on the board is: 2048MB
-----

MX8M-mini: Cortex-A53 is found
*****
  
```

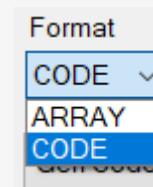
GUIツール使用方法：DDR Calibration



Calibration の実行

出力フォーマットの選択

- ARRAY :
最新の u-boot SPL ドライバー
- CODE :
旧 u-boot コードまたは DDR の初期化フローを確認したい場合に選択する



コードの生成

- ARRAY :
xxx_timing.c が作成される
- CODE :
ddr_init.c と ddrphy_train.c が作成される

※ Gen Code ボタンは Calibration が終了した後に押す

GUIツール使用方法：DDR Stress Test

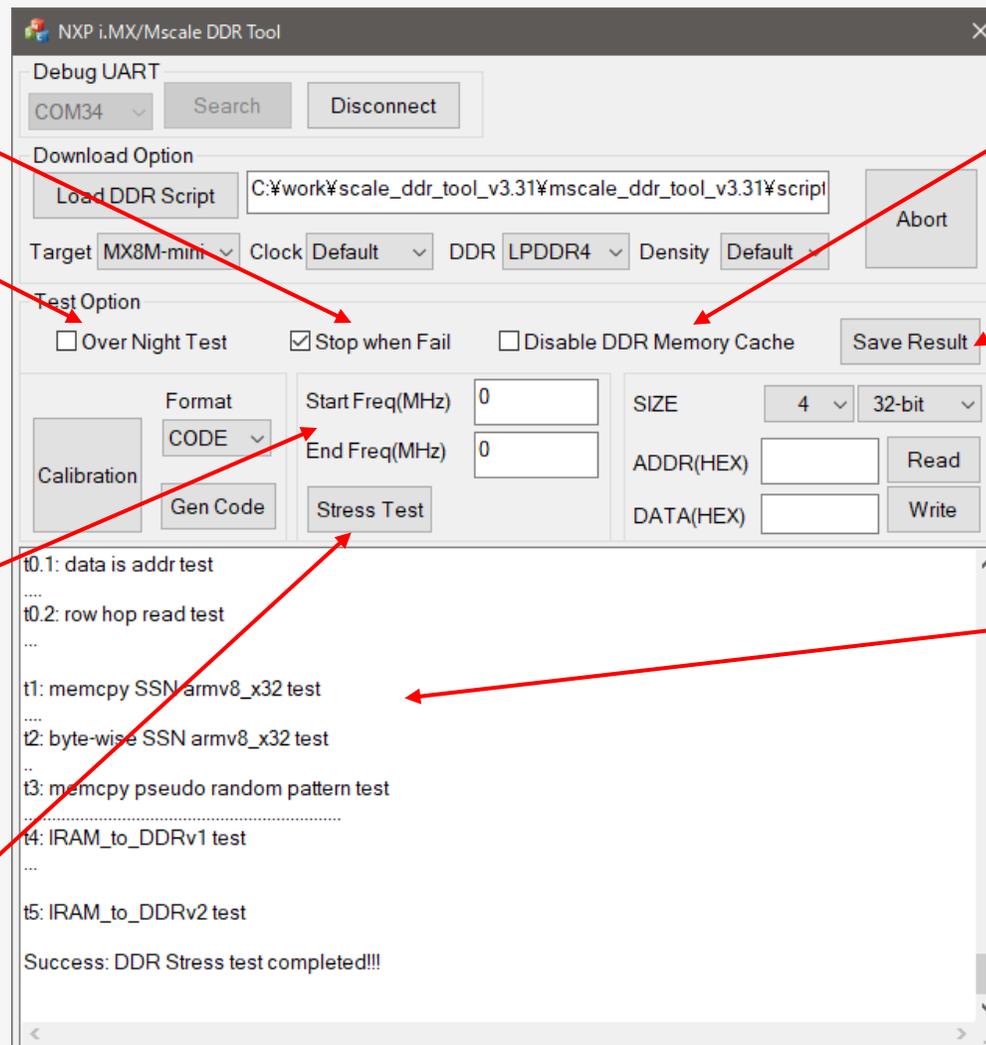
Stop when Fail : Fail するまでテスト実行

Over Night Test : 無限にテスト実行

開始と終了の周波数の設定
この設定内で段階的に周波数を変更して
Stress Test を実行する

- ・ 設定値が 0 MHz の場合 :
スクリプトに記載されている初期周波数に設定される
- ・ Start Freq は初期周波数の ± 50 MHz の範囲にする
- ・ End Freq は Strat 周波数より大きく 100MHz以内にする

Stress Test の実行



DDRメモリーがキャッシュ不可能/バッファ不可能メモリーとしてマップされる

結果をログファイルとして保存

Stress Test の結果 (周波数やテスト項目) を表示
Over Night Test を選択して実効している場合は繰り返し表示されます

GUIツール使用方法：32bit Memory Read Write

The screenshot shows the NXP i.MX/Mscale DDR Tool interface. The 'Test Option' section is active, showing 'SIZE' set to 32 and '32-bit' selected. The 'ADDR(HEX)' is 80000000 and 'DATA(HEX)' is a5a5a5a5. The 'Read' button is highlighted. The output window shows the results of a write operation: 'WRITE 0x080000000 COMPLETED' followed by a memory dump.

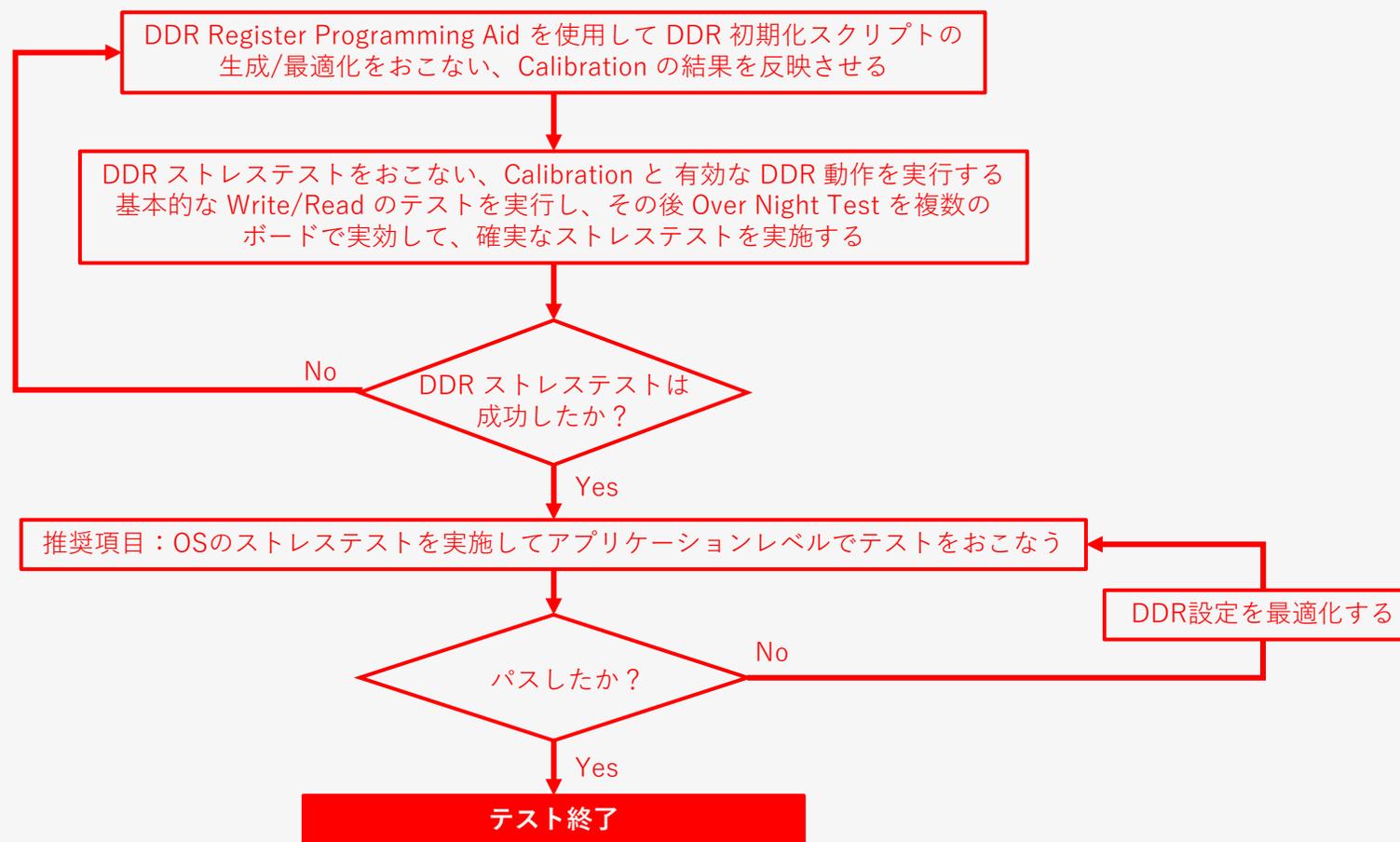
Annotations:

- アドレスの入力(HEX)
- Write したい値を入力(HEX)
“Write”ボタンのクリックで設定したアドレスにデータが書き込まれる
- “Write”ボタンのクリックで出力
- Read したい WORDの単位を設定
1 ~ 32 WORD まで設定可能
- “Read”ボタンのクリックで設定した WORD 数でデータが Read される
- Read したい Bitの単位を設定
8bit ~ 64 bit まで設定可能
- “Read”ボタンのクリックで設定した bit 数でデータが Read される
- “Read”ボタンのクリックで出力

Address	0x0	0x4	0x8	0xC
0x08000000:	0xA5A5A5A5	0x46884014	0xB0845909	0x7FF1AB1B
0x08000010:	0x997F41D3	0xA2F7D51C	0x8BBB1180	0x4ACF4BD1
0x08000020:	0x0B291D73	0x5CF5D71A	0x833F4196	0x86D5E735
0x08000030:	0x506DDA15	0xED825EEF	0xB8390FC0	0x9759773C
0x08000040:	0xF71B1D03	0xD515D507	0x99067125	0x09055F34
0x08000050:	0x14C5D0D9	0xAE94D13D	0xBA533A15	0x2C724DCC
0x08000060:	0x99497B5D	0xFA251356	0x4089B2BC	0x10207D32
0x08000070:	0x5FD9DDD7	0x1C1FF758	0xBCD3DF39	0x7703C4F7

DDR ストレステスト フローチャート

- 以下のフローチャートはストレス・テストで推奨されるフローを示しています

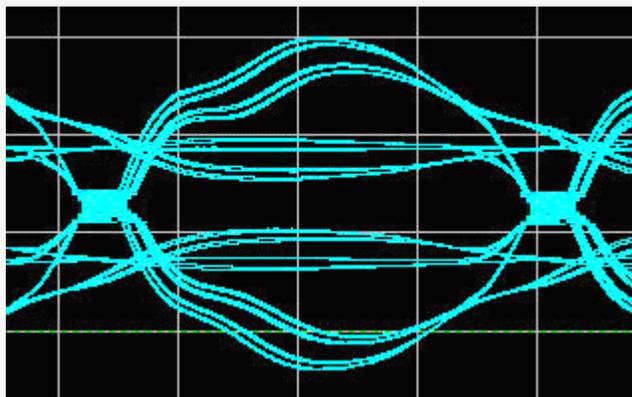


4-4. Appendix

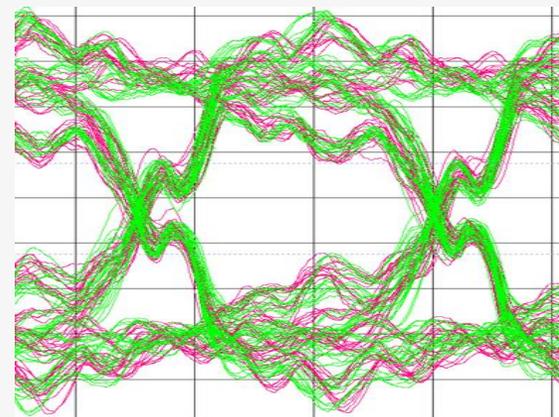
ボードシミュレーション結果の確認項目

ボードシミュレーション結果の概略確認：明らかにおかしい波形の例

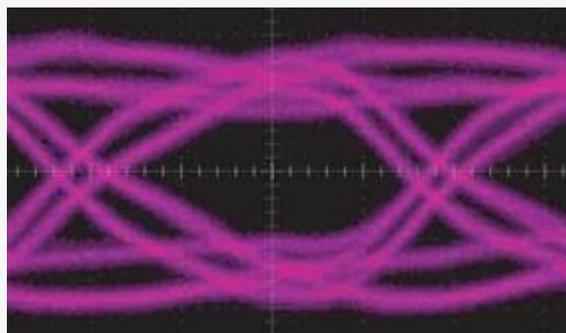
- ボードシミュレーション結果の確認
 - 明らかにおかしい波形：アイがつぶれている、波形の乱れ(リングング、階段)が激しい、など



例1: アイが上下方向でつぶれている
(High/Low の電圧が要求を満たさない疑い)



例2: リンギングが激しい、立ち上がり時に
しきい値付近でリングバックしている
(クロック/ストローブでは不可の可能性)



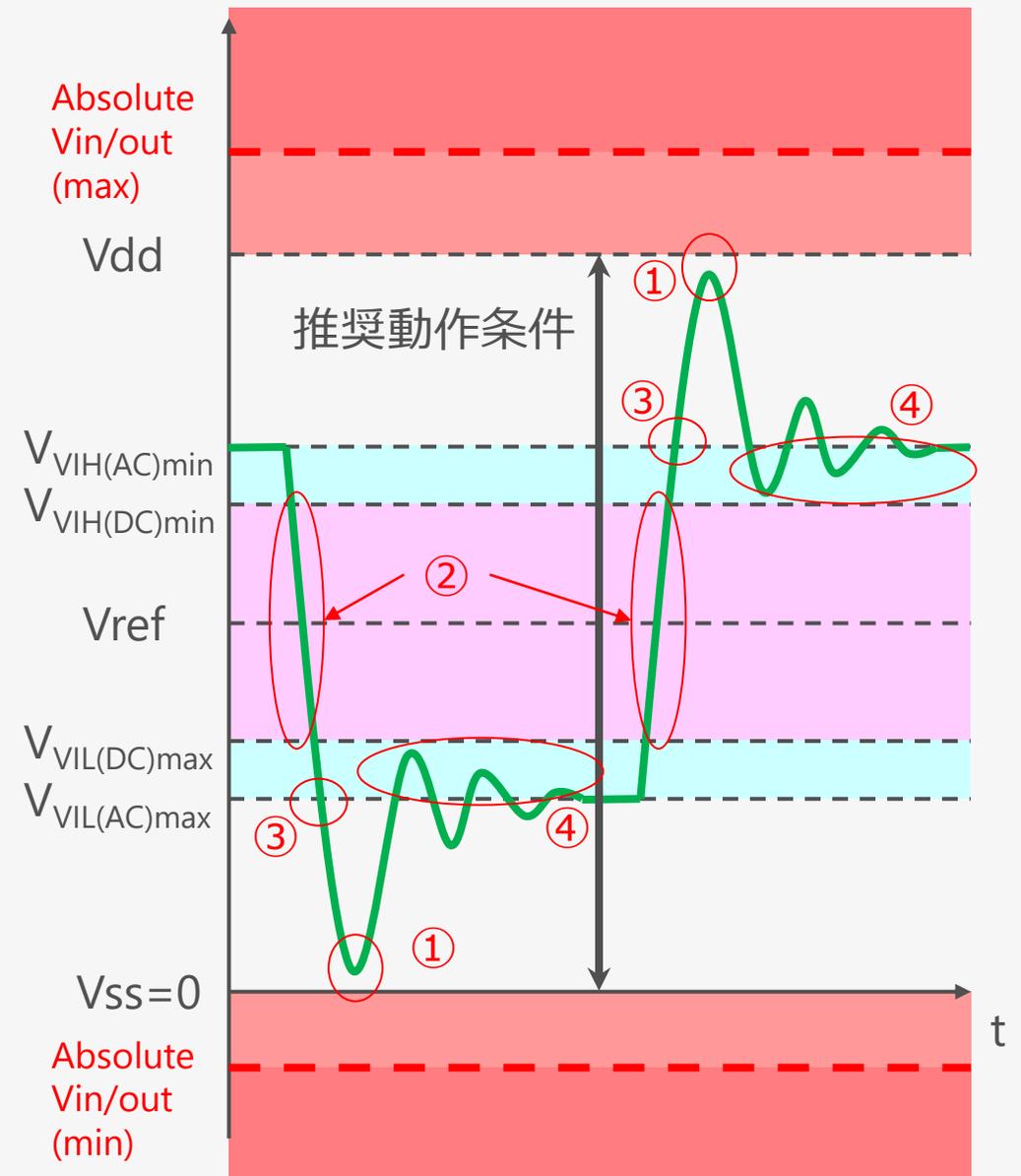
例3: スルーレートが小さい
(左右(時間方向)のつぶれ、
クロックでは要求仕様違反の可能性)

ボードシミュレーション結果の詳細確認：(1) 電圧レベルの確認

● 電圧レベルの確認：

各種電圧条件に適合しているかを確認

- 推奨動作条件(および絶対最大定格)を満たしているか
 - ① 遷移後のオーバーシュートに注意
- 論理値確定期間(High 期間、Low 期間)を波形と規定値から決め、その期間中一定範囲にあること
 - ② 遷移中、Vref 前後の領域をまたぐこと
 - ③ 遷移後、論理値確定とみなすために $V_{IH}/V_{IL}(AC)$ に達すること
 - ・ 信号の傾きによるディレーティングは別途考慮する
 - ④ 一度、 $V_{IH}/V_{IL}(AC)$ に達した後は次の遷移までは $V_{IH}/V_{IL}(DC)$ をまたがない領域に維持すること
 - ・ Address/Command, Data 信号について、またいでしまう場合はタイミングマージンが減少してしまう
 - ・ クロック・ストロブ(DQS) について、またいでしまう場合は誤動作のリスクが生じる(次スライドも参照下さい)

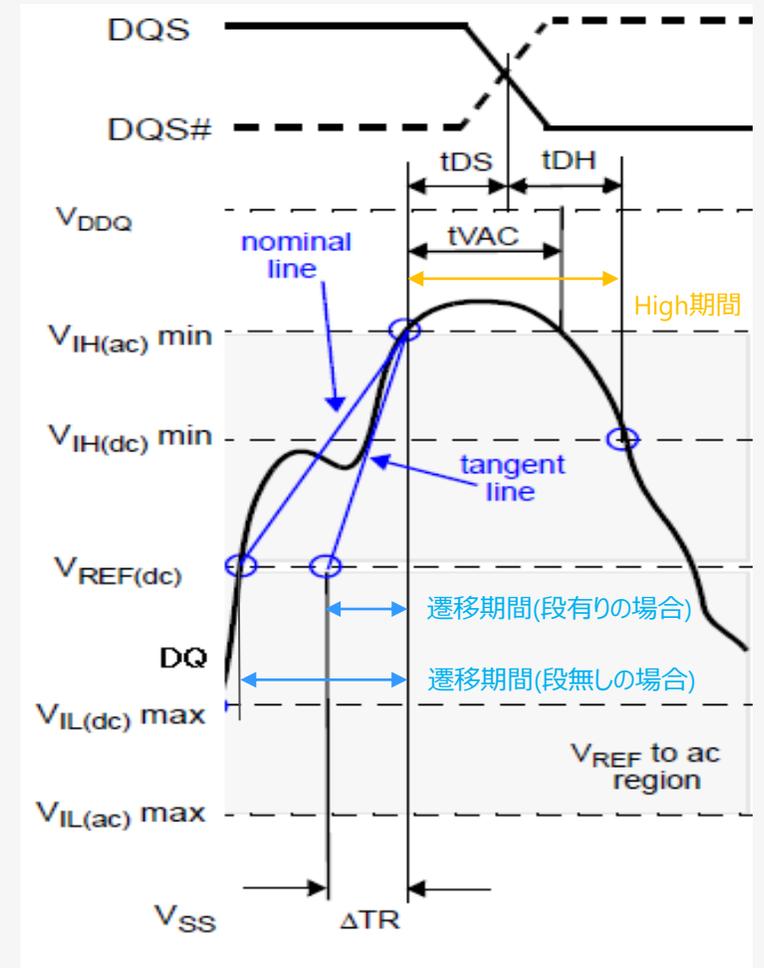


ボードシミュレーション結果の詳細確認：(2) 遷移波形と傾きの確認

● 遷移波形と傾きの確認：

特にクロックとストローク信号では厳密に見る事

- 遷移波形：リンギングやディップと呼ばれる階段～揺り戻し状の波形は大きさによっては誤動作の要因となる
 - 内部で論理反転として認識されてしまうと誤動作の原因となる
 - アドレス・データ信号では前スライドでの判断が良い
- 傾き：極端に傾きがなだらかになっていないか確認
 - クロックとストローク信号はなだらかだとタイミングのマージンに影響を及ぼすので標準値の傾きになるようにする
 - DDR2/3 では 1V/ns が標準値の傾き



4-5. Appendix i.MX 8/9シリーズと対応DRAM

参考

● i.MX 8/9シリーズと対応DRAM

ファミリ	シリーズ	対応DRAM, bit幅	周波数
i.MX8	i.MX 8M Nano	1 x 16bit LPDDR4/DDR4 or 1 x 16bit DDR3L	LPDDR4-3200 DDR4-2400 DDR3L-1600
	i.MX 8M Mini	1 x 16bit or 32bit LPDDR4/DDR4 or	
	i.MX 8M	1 x 16bit or 32bit DDR3L	
	i.MX 8M Plus	1 x 32bit LPDDR4/DDR4 with Inline ECC	LPDDR4-3200 DDR4-2400
	i.MX 8	1 x 64bit LPDDR4	LPDDR4-3200
	i.MX 8ULP	1 x 32bit LPDDR4/LPDDR4x or 1 x 32bit LPDDR3	
	i.MX 8X	1 x 16bit LPDDR4 or 1 x 16bit DDR3L	LPDDR4-2400 DDR3L-1866
i.MX9	i.MX 91	1 x 16bit LPDDR4 with Inline ECC	LPDDR4-2400
	i.MX 93	1 x 16bit LPDDR4/LPDDR4x with Inline ECC	LPDDR4x-3733
	i.MX 95	1 x 32bit LPDDR5/LPDDR4x with Inline ECC	LPDDR5-6400

改版履歴

Revision	日付	概要
1.0	2024年4月	初版作成

- 弊社より資料を入手されたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。
 1. 本資料は非売品です。許可なく転売することや無断複製することを禁じます。
 2. 本資料は予告なく変更することがあります。
 3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、弊社までご一報いただければ幸いです。
 4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
 5. 本資料は製品を利用する際の補助的な資料です。製品をご使用になる場合は、英語版の資料もあわせてご利用ください。

Co.Tomorrowing
MACNICA

- ・本資料に記載されている会社名、商品またはサービス名等は各社の商標または登録商標です。なお、本資料中では、「™」、「®」は明記していません。
- ・本資料のすべての著作権は、第三者または株式会社マクニカに属しており、(著作権法で許諾される範囲を超えて) 無断で本資料の全部または一部を複製・転載等することを禁じます。
- ・本資料は作成日現在における情報を元に作成されておりますが、その正確性、完全性を保証するものではありません。